

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11187074 A**(43) Date of publication of application: **09.07.99**

(51) Int. Cl.

H04L 13/08
C07D401/12
G06F 13/00

(21) Application number: **09348326**(22) Date of filing: **17.12.97**(71) Applicant: **SHARP CORP**

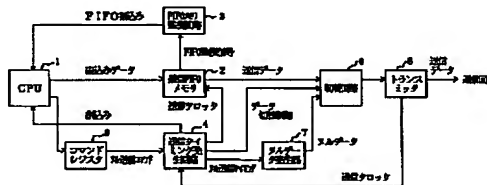
(72) Inventor: **YOSHIDA SETSU**
TOMIJIMA MOTOI
TSUBAKI KAZUHIRO
KITAGUCHI SUSUMU
TANABE CHUZO
NAKAO ATSUSHI

(54) **COMMUNICATION EQUIPMENT**

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the load of a CPU required for communication by reducing data exchange between the CPU and a communication interface in communication equipment for communicating digital data having frame structure with other equipment.

SOLUTION: When transmitting an idle frame composing a data part of null data only in the communication of a frame composed of a frame header, data part and frame check, a transmission timing generating circuit 4 performs data switching control to a switching circuit 8 so that data transmission from a transmission FIFO memory 3 is temporarily stopped during a period to transmit the above null data while the null data from a null data generator 7 are sent to a transmitter 5.



COPYRIGHT: (C)1999,JPO

BEST AVAILABLE COPY

(11)特許出願公開番号

(43)公開日 平成11年(1999)7月9日

3 5 3 F

審査請求 未請求 請求項の数20 O.L (全 36 頁)

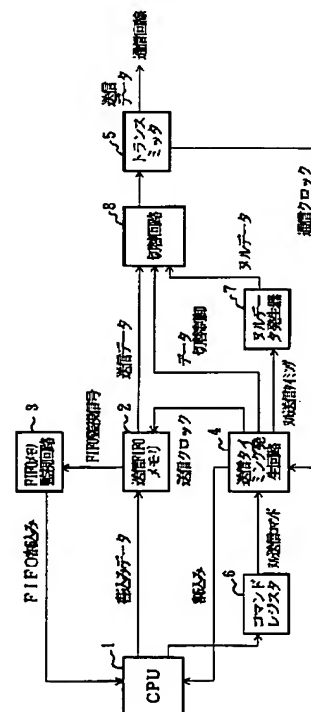
最終頁に続く

(54) 【発明の名称】 通信装置

(57) 【要約】

【課題】 他の装置との間で、フレーム構造を持つデジタルデータを通信する通信装置において、CPUと通信インターフェイスとの間のデータの受渡し処理を少なくすることにより、通信にかかるCPUの負荷を低減する。

【解決手段】 フレームヘッダ、データ部、およびフレームチェックからなるフレームの通信において、データ部がヌルデータのみからなるアイドルフレームを送信する場合は、送信タイミング発生回路4が切替回路8に対してデータ切替制御を行うことにより、上記ヌルデータを送信する期間は、送信FIFOメモリ2からのデータの送出を一時中断し、ヌルデータ発生器7からのヌルデータをトランスミッタ5へ送出させる。



【特許請求の範囲】

【請求項1】 データを作成するCPUと、通信回線へデータを送信する送信器とを備え、上記データをフレーム形式で上記通信回線へ送出する通信装置において、上記送信器が、通信回線へデータを送出するトランスミッタと、CPUからのデータを一時的に保持してトランスミッタへ順次転送するFIFOメモリと、ヌルデータを生成するヌルデータ発生器と、FIFOメモリおよびヌルデータ発生器と、トランスミッタとの間に設けられ、FIFOメモリおよびヌルデータ発生器のいずれか一方のデータをトランスミッタへ送出する切替手段と、上記切替手段を制御して、アイドルフレームにおけるヌルデータを送出すべき期間は、FIFOメモリからのデータの送出を中断し、ヌルデータ発生器からのヌルデータをトランスミッタへ送出させる送信タイミング発生手段とを備えたことを特徴とする通信装置。

【請求項2】 上記送信器が、送信FIFOメモリが空になったときにCPUへ割込みをかけるべく、FIFOメモリの状態を監視するFIFOメモリ監視手段をさらに備えると共に、CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出した後にFIFOメモリへのデータの送出を中断し、次にFIFOメモリ監視手段から割込みが生じたときに、ヌルデータを送出すべき期間の開始を指示するヌル送信コマンドを送信タイミング発生手段へ送ることを特徴とする請求項1に記載の通信装置。

【請求項3】 CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出した後にFIFOメモリへのデータの送出を中断すると共に、次のフレームがヌルデータを含むことを示すヌル送信コマンドを送信器に与え、

送信タイミング発生手段が、ヌル送信コマンドを受けて、次にFIFOメモリが空になったときを、ヌルデータを送出すべき期間の開始時点とすることを特徴とする請求項1に記載の通信装置。

【請求項4】 CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出すると共に、上記ヌルデータの送出の開始を指示するヌル送信コマンドを発行し、

送信タイミング発生手段が、ヌル送信コマンドを受けて、上記アイドルフレームの送出を開始した後の所定のタイミングを、ヌルデータを送出すべき期間の開始時点とすることを特徴とする請求項1に記載の通信装置。

【請求項5】 FIFOメモリから送出されるフレームのフレームヘッダを参照し、上記フレームがアイドルフレ

ームであると判断した場合、送信タイミング発生手段へヌル送信コマンドを送る送信データ監視手段が、上記送信器にさらに設けられ、

CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出し、

送信タイミング発生手段が、送信データ監視手段からのヌル送信コマンドを受けると、上記フレームヘッダの送出を完了した時点と、ヌルデータを送出すべき期間の開始時点とすることを特徴とする請求項1に記載の通信装置。

【請求項6】 アイドルフレームのヌルデータの長さが固定長である場合、

送信タイミング発生手段が、ヌルデータ発生器からのヌルデータの送出を開始した後に、送出されたヌルデータの長さが上記固定長と等しい所定の値になった時点で、ヌルデータ発生器からのヌルデータの送出を中断すると共にFIFOメモリからのデータの送出を再開するよう切替手段を制御することを特徴とする請求項1に記載の通信装置。

【請求項7】 上記送信器が、ヌルデータ発生器から送出されたヌルデータの長さを計数する計数手段をさらに備え、

CPUが、アイドルフレームのヌルデータの長さを送信器に与え、

送信タイミング発生手段が、上記計数手段によって計数されたヌルデータの長さとしてCPUから与えられたヌルデータの長さとして等しくなった時点で、ヌルデータ発生器からのヌルデータの送出を中断すると共にFIFOメモリからのデータの送出を再開するよう切替手段を制御することを特徴とする請求項1に記載の通信装置。

【請求項8】 CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出する際に、当該アイドルフレームのフレームチェックを併せてFIFOメモリへ送出することを特徴とする請求項1に記載の通信装置。

【請求項9】 上記送信器が、ヌル送信コマンドが発行されている間、FIFOメモリから送出されたデータを、上記FIFOメモリへ再度書き込む再書き込み手段をさらに備え、

CPUが、複数のアイドルフレームを連続して送出する場合、最初のアイドルフレームのフレームヘッダおよびフレームチェックをFIFOメモリへ書き込んだ後、FIFOメモリへのデータの送出を一時中断し、ヌルデータの送出を指示するヌル送信コマンドを継続して発行することを特徴とする請求項1に記載の通信装置。

【請求項10】 CPUが、複数のアイドルフレームを連続して送出する場合、ヌルデータの送出を指示するヌル送信コマンドを発行すると共に、上記複数個分のフレ

ムヘッダおよびフレームチェックを、F I F Oメモリの容量が許容する範囲でF I F Oメモリへあらかじめ送出することを特徴とする請求項1に記載の通信装置。

【請求項11】送信器が通常フレームおよびアイドルフレームの一方を継続して送出しているときに、次に送出すべきデータが通常フレームおよびアイドルフレームの他方である場合、C P Uが、F I F Oメモリへのヌル送信コマンドの送出もしくはヌル送信コマンドの取下げを行って、未送出のデータを破棄させることを特徴とする請求項1に記載の通信装置。

【請求項12】上記送信器が、F I F Oメモリの状態を監視し、F I F Oメモリの占有率が閾値に達したときにC P Uへ割込みをかけるF I F Oメモリ監視手段と、上記閾値を変更する閾値変更手段とをさらに備え、上記閾値変更手段が、F I F Oメモリからトランスミッタへのアイドルフレームのフレームヘッダの送出が完了したときに、C P Uに割込みがかかるように上記閾値を変更すると共に、送信器からアイドルフレームの送出が完了したときに上記閾値を変更前の値に戻すことを特徴とする請求項1に記載の通信装置。

【請求項13】フレーム構造を持つデータを通信回線から受信する受信器と、受信したデータを処理するC P Uとを備えた通信装置において、上記受信器が、通信回線からデータを受け取るレシーバと、レシーバにて受け取ったデータを一時的に保持してC P Uへ順次転送するF I F Oメモリと、受信したデータがアイドルフレームである場合、アイドルフレーム内のヌルデータを受信する期間は、受信器からC P Uへのデータの転送を一時中断することを特徴とする通信装置。

【請求項14】C P Uが、F I F Oメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの後続データのF I F Oメモリからの読み出しを中断すると共に、ヌルスキップコマンドを発行し、上記F I F Oメモリが、上記ヌルスキップコマンドが与えられると、保持しているヌルデータを破棄することを特徴とする請求項13に記載の通信装置。

【請求項15】上記受信器が、受信したデータの長さを計数する計数手段をさらに備え、C P Uが、F I F Oメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの後続データのF I F Oメモリからの読み出しを中断すると共にヌルスキップコマンドを発行し、上記受信タイミング発生手段が、C P Uからヌルスキップコマンドが与えられた時点から上記計数手段で示され

るヌルデータ期間の終了まで、F I F Oメモリへのデータの転送を一時中断するようレシーバを制御することを特徴とする請求項13に記載の通信装置。

【請求項16】C P Uが、F I F Oメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの内容からヌルデータの長さを検出し、ヌルデータの長さをNとし、レシーバが通信回線から既に受け取ったデータ長をMとすると、 $(N-M)$ をパラメータとしたヌルスキップコマンドを発行し、

上記受信タイミング発生手段が、C P Uから上記ヌルスキップコマンドが与えられてから、長さ $(N-M)$ のヌルデータを受信するために必要な時間が経過するまで、F I F Oメモリへのデータの転送を一時中断するようレシーバを制御することを特徴とする請求項13に記載の通信装置。

【請求項17】C P Uが、F I F Oメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの内容からヌルデータの開始位置および長さを検出し、ヌルデータの開始位置を先頭からK番目、長さをNとすると、当該フレームの先頭から $(K-1)$ 番目のデータまでをF I F Oメモリから読み出したときにF I F Oメモリからのデータの読み出しを中断すると共に、Nをパラメータとしたヌルスキップコマンドを発行し、

F I F Oメモリが、上記ヌルスキップコマンドが与えられると、長さNのヌルデータを破棄することを特徴とする請求項13に記載の通信装置。

【請求項18】C P Uがヌルスキップコマンドを発行すると、上記受信タイミング発生手段が、C P Uから上記ヌルスキップコマンドが与えられてから、上記ヌルスキップコマンドが取り下げられるまで、F I F Oメモリへのデータの転送を一時中断するようレシーバを制御することを特徴とする請求項13に記載の通信装置。

【請求項19】上記受信器が、F I F Oメモリの状態を監視し、F I F Oメモリの占有率が閾値に達したときにC P Uへ割込みをかけるF I F Oメモリ監視手段と、上記閾値を変更する閾値変更手段とをさらに備え、ヌルデータが通信回線から送信される期間は、上記閾値変更手段が、C P Uに割込みがかからないように上記閾値を変更すると共に、上記期間の経過後に上記閾値を変更前の値に戻すことを特徴とする請求項13に記載の通信装置。

【請求項20】上記受信器が、受信したフレームのフレームチェックを検査するフレームチェック検査部と、受信したデータを上記フレームチェック検査部を迂回させてF I F Oメモリへ書き込む迂回手段とをさらに備え、

アイドルフレームの受信時には、当該アイドルフレームのフレームチェックについては、上記迂回手段を経由してFIFOメモリへ書き込むことを特徴とする請求項13に記載の通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばコンピュータなどの情報機器に関し、特に、通信回線を介して他の装置と接続され、フレーム構造を有するデジタル情報の送受信を行う機能を備えた通信装置に関する。

【0002】

【従来の技術】通信機能を持つ携帯型情報端末においては、CPUの処理能力の向上、メモリの大容量化、解像度や視認性の高い液晶の開発などにより、従来パーソナルコンピュータ程度の性能が必要とされた、WWW(World Wide Web)に代表されるインターネットアクセスもこなせるものが出現している。

【0003】特に、従来の携帯電話に比較して3倍の伝送速度を持つPHSによるデータ通信サービスが開始されたことで、携帯型情報端末により、何時でも何処からでも、電子メールの送受信や、インターネットを通じた情報の入手やショッピングなどを行うことが、現実的なものになりつつある。

【0004】しかし、通信速度が高速になるに従い、CPUの処理に占める通信の負荷が高くなり、特にマルチメディア情報の伝達において、画面表示中の操作に対する応答性が悪化するなどの影響を受けている。また、通信装置の機能の向上は、往々にして消費電力の増大につながり、逆に携帯性を損なうような結果をもたらしている。

【0005】従来、これらの問題を解決するために、図26に示すように、CPU91で作成されたデータをトランスミッタ95を介して通信回線へ送信する通信装置において、CPU91とトランスミッタ95との間に、送信FIFO(First-In First-Out)メモリ92を設けた構成が知られている。

【0006】この構成では、FIFOメモリ監視回路93が送信FIFOメモリ92の状態に応じてCPU91へFIFO割込みを発生することによって、CPU91から送信FIFOメモリ92へ送信データの書き込みを行うと共に、この送信データの書き込みとは独立して、送信タイミング発生回路94の制御に従って、送信FIFOメモリ92からトランスミッタ95へデータの送り出しが行われるようになっている。

【0007】この構成によれば、CPU91がデータを送信FIFOメモリ92へ送信してから次のデータを送信するまでの期間を長くすることができるので、この間に、CPU91が通信以外の処理を実行することが可能となっている。

【0008】また、例えば、特開平8-172426号

公報には、CPUから間欠的に送り出されるデータをISDN回線や専用データ回線等の同期データ通信回線を経由して伝送するために、FIFOによって速度整合を実現した構成が、開示されている。

【0009】また、例えば、特開平8-137663号公報には、CPUと通信インターフェイスとの間にFIFOを具備して、一つのデータの受渡しを行う毎にCPUに割り込みが発生することを防ぎ、CPUの通信に係る負荷を軽減する構成が開示されている。

【0010】

【発明が解決しようとする課題】しかし、上記した従来の構成はいずれも、通信データの全てをCPUが制御し、FIFO経由で、あるいは直接、通信インターフェイスに送り出すようになっており、CPUが処理しなければならないデータ量そのものは不変である。

【0011】フレーム構造を持つデータを伝送するデジタル通信においては、一般的に、送るべき有意なユーザデータがない場合であっても、通信装置間での送受信の同期維持や、通信チャネルの維持などのために、いわゆるアイドルフレームを送出ししなければならない。

【0012】上記のアイドルフレームの一例としては、フレーム制御情報を含むフレームヘッダと、ユーザデータを含むデータ部と、FCS(Frame Check Sequence)等のフレームチェックとによって構成されるフレームにおいて、フレーム制御情報に含まれるデータ長を0とし、意味のない所定のデータ(いわゆるヌルデータ)として例えば連続する1を、データ部に挿入したものが考えられる。

【0013】上記した従来の構成はいずれも、ヌルデータを含むアイドルフレームを送信する場合でも、CPUがすべてのデータ送信の処理を行わなければならない、通信にかかるCPUの負荷が大きいという問題を有していた。

【0014】例えば、パーソナルコンピュータや携帯型情報端末などの通信装置からインターネットやパソコン通信網へのアクセスを例に挙げると、通信装置側における使用者の操作には一般的に大きな時間的間隔があるので、通信装置から有意なデータが送出される頻度は少なく、アイドルフレームが連続する傾向がある。

【0015】本発明はこのような実情を鑑みてなされたものであり、アイドルフレームの送信時におけるCPUと通信部分とのデータ受渡しの処理を少なくすることにより、通信にかかるCPUの負荷を低減することを目的とする。

【0016】

【課題を解決するための手段】上記の課題を解決するために、請求項1記載の通信装置は、データを作成するCPUと、通信回線へデータを送信する送信器とを備え、上記データをフレーム形式で上記通信回線へ送出する通信装置において、上記送信器が、通信回線へデータを送

出するトランスミッタと、CPUからのデータを一時的に保持してトランスミッタへ順次転送するFIFOメモリと、ヌルデータを生成するヌルデータ発生器と、FIFOメモリおよびヌルデータ発生器と、トランスミッタとの間に設けられ、FIFOメモリおよびヌルデータ発生器のいずれか一方のデータをトランスミッタへ送出する切替手段と、上記切替手段を制御して、アイドルフレームにおけるヌルデータを送出すべき期間は、FIFOメモリからのデータの送出を中断し、ヌルデータ発生器からのヌルデータをトランスミッタへ送出させる送信タイミング発生手段とを備えたことを特徴とする。

【0017】上記の構成では、有意データを含む通常フレームの送出時には、CPUが作成したデータは、送信器のFIFOメモリへ漸次送り出されて一時的に保持された後、通信回線の通信速度に合わせてFIFOメモリから順次読みだされ、通信回線へ送出される。すなわち、通常フレームの場合には、CPUからのデータはすべてFIFOメモリを経由する。

【0018】一方、ヌルデータを含むアイドルフレームの送出時には、制御情報等を含むフレームヘッダ等はCPUから送信器のFIFOメモリを経由して送出されるが、ヌルデータの送出を開始するタイミングで、切替手段が、FIFOメモリからのデータに代えて、ヌルデータ発生器が生成したヌルデータを通信回線へ向けて送出するように切替制御を行う。ヌルデータの送信が終了すると、例えばフレームの最後のフレームチェック等がFIFOメモリから読み出されて、通信回線へ送出される。

【0019】すなわち、上記の構成によれば、アイドルフレームを送出する場合、フレームヘッダやフレームチェック等はCPUからFIFOメモリを介して送出されるが、アイドルフレームに含まれるヌルデータは、CPUおよびFIFOメモリを介することなく通信回線へ送出される。

【0020】これにより、ヌルデータを送出している間、CPUが他の処理を行うことが可能となる。それゆえ、通信にかかるCPUの負荷を軽減することができる。

【0021】請求項2記載の通信装置は、請求項1に記載の構成において、上記送信器が、送信FIFOメモリが空になったときにCPUへ割込みをかけるべく、FIFOメモリの状態を監視するFIFOメモリ監視手段をさらに備えると共に、CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出した後にFIFOメモリへのデータの送出を中断し、次にFIFOメモリ監視手段から割込みが生じたときに、ヌルデータを送出すべき期間の開始を指示するヌル送信コマンドを送信タイミング発生手段へ送ることを特徴とする。

【0022】上記の構成によれば、次に送出すべきデー

タがアイドルフレームである場合、CPUは、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出した後に、FIFOメモリへのデータの送出を中断する。

【0023】なお、CPUからFIFOメモリへのデータの送出が中断されている間も、FIFOメモリから通信回線へのデータの送出は継続されているので、FIFOメモリ内に保持されているデータは次第に減少してゆく。FIFOメモリが空になったときに、FIFOメモリ監視手段からCPUに対して割込みが発生し、CPUは、この割込みを受けたときに、ヌルデータの送出開始を指示するヌル送信コマンドを発行する。

【0024】そして、送信タイミング発生手段が、上記のヌル送信コマンドを受けて切替手段を制御することにより、FIFOメモリからのデータに代えて、ヌルデータ発生器からのヌルデータが通信回線へ向けて送出される。

【0025】このように、上記の構成では、次に送出すべきデータがアイドルフレームである場合、FIFOメモリが空になったときに発生する割込みを受けてCPUが発行するヌル送信コマンドに基づいて、送信タイミング発生手段が切替手段に対して切替制御を行い、CPUおよびFIFOメモリを介さずに、ヌルデータ発生器からのヌルデータの送出を開始するようになっている。それゆえ、アイドルフレームを送信する場合、ヌルデータを送出している間は、CPUは他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができる。

【0026】請求項3記載の通信装置は、請求項1に記載の構成において、CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出した後にFIFOメモリへのデータの送出を中断すると共に、次のフレームがヌルデータを含むことを示すヌル送信コマンドを送信器に与え、送信タイミング発生手段が、ヌル送信コマンドを受けて、次にFIFOメモリが空になったときを、ヌルデータを送出すべき期間の開始時点とすることを特徴とする。

【0027】上記の構成によれば、アイドルフレームを送出する場合、CPUがフレームヘッダをFIFOメモリへ送出すると共に、ヌル送信コマンドを発行する。送信タイミング発生手段は、上記ヌル送信コマンドを参照し、ヌルデータの送出を開始するタイミングとなったとき、すなわち当該アイドルフレームのフレームヘッダをFIFOメモリから送出することによりFIFOメモリが空になった時点で、ヌルデータ発生器からのヌルデータの送出を開始するように、切替手段に対して切替制御を行う。

【0028】このように、上記の構成では、送信タイミング発生手段が、CPUが発行するヌル送信コマンドと

F I F Oメモリの状態とに基づき、ヌルデータの送信を開始すべき適切なタイミングで切替手段に対して切替制御を行うことによって、C P UおよびF I F Oメモリを介さずに、ヌルデータ発生器からヌルデータの送出を開始するようになっている。それゆえ、アイドルフレームを送信する場合、ヌル送信コマンドを発行した後は、C P Uは他の処理を行うことが可能となる。この結果、通信にかかるC P Uの負荷を軽減することができる。

【0029】請求項4記載の通信装置は、請求項1に記載の構成において、C P Uが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをF I F Oメモリへ送出すると共に、上記ヌルデータの送出の開始を指示するヌル送信コマンドを発行し、送信タイミング発生手段が、ヌル送信コマンドを受けて、上記アイドルフレームの送出を開始した後の所定のタイミングを、ヌルデータを送出すべき期間の開始時点とすることを特徴とする。

【0030】上記の構成によれば、次に送出すべきデータがアイドルフレームである場合、このアイドルフレームのフレームヘッダがF I F Oメモリへ送出されて一時的に保持される。その後、F I F Oメモリに保持されているフレームヘッダが通信回線へ向けてまず送出され、このフレームヘッダの送出を開始した後の所定のタイミングで、F I F Oメモリからのデータの送出が中断されて、ヌルデータ発生器からのヌルデータの送出が開始される。

【0031】なお、ヌルデータ発生器からヌルデータの送出を開始する上記の所定のタイミングとは、例えば、アイドルフレームの送信が開始されてから、フレームヘッダをF I F Oメモリから送出し終わるまでに要する時間が経過した時点とすれば良い。

【0032】このように、上記の構成によれば、アイドルフレーム内のヌルデータの開始位置が所定の位置にある場合に、C P Uがヌルデータの送出開始のタイミングを指示することなく、所定のタイミングでヌルデータ発生器からヌルデータの送出が行われる。また、上記ヌルデータの送出は、C P UおよびF I F Oメモリを介さずに行われるので、この間、C P Uは他の処理を行うことが可能となる。この結果、通信にかかるC P Uの負荷を軽減することができる。

【0033】請求項5記載の通信装置は、請求項1に記載の構成において、F I F Oメモリから送出されるフレームのフレームヘッダを参照し、上記フレームがアイドルフレームであると判断した場合、送信タイミング発生手段へヌル送信コマンドを送る送信データ監視手段が、上記送信器にさらに設けられ、C P Uが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをF I F Oメモリへ送出し、送信タイミング発生手段が、送信データ監視手段からのヌル送信コマンドを受けると、上記フレームヘッダの送

出を完了した時点と、ヌルデータを送出すべき期間の開始時点とすることを特徴とする。

【0034】上記の構成によれば、アイドルフレームを送出する場合、C P Uは、まずフレームヘッダのみをF I F Oメモリへ送出する。フレームヘッダは、当該フレームに関する制御情報等を含んでいるので、送信データ監視手段は、フレームヘッダを参照することによって、そのフレームがアイドルフレームであるか否かを判断することができる。

【0035】送信データ監視手段によって、送出中のフレームがアイドルフレームであると判断されると、送信タイミング発生手段は、当該フレームのフレームヘッダの送出が完了した時点で、F I F Oメモリからのデータの送出を中断し、ヌルデータ発生器からのヌルデータの送出を開始する。

【0036】このように、上記の構成によれば、フレームヘッダに含まれている情報を利用して送信されようとするフレームがアイドルフレームであるか否かを判断することができるので、C P Uがヌルデータの送出開始のタイミングを指示することなく、所定のタイミングでヌルデータ発生器からヌルデータの送出が行われる。また、上記ヌルデータの送出は、C P UおよびF I F Oメモリを介さずに行われるので、この間、C P Uは他の処理を行うことが可能となる。この結果、通信にかかるC P Uの負荷を軽減することができる。

【0037】請求項6記載の通信装置は、請求項1に記載の構成において、アイドルフレームのヌルデータの長さが固定長である場合、送信タイミング発生手段が、ヌルデータ発生器からのヌルデータの送出を開始した後、送出されたヌルデータの長さが上記固定長と等しい所定の値になった時点で、ヌルデータ発生器からのヌルデータの送出を中断すると共にF I F Oメモリからのデータの送出を再開するよう切替手段を制御することを特徴とする。

【0038】上記の構成によれば、アイドルフレーム内のヌルデータの長さが固定長である場合には、送信タイミング発生手段が、ヌルデータ発生器から送出されたヌルデータの長さがアイドルフレーム内のヌルデータの長さと同じになった時点で、ヌルデータ発生器からのヌルデータの送出を中断し、F I F Oメモリからのデータの送出を再開する。

【0039】これにより、C P Uが、ヌルデータの送出終了のタイミングを指示することなく、所定のタイミングでF I F Oメモリからのデータの送出が再開される。従って、C P Uは、ヌルデータ発生器からのヌルデータの送信が行われている間は、他の処理を行うことが可能となる。この結果、通信にかかるC P Uの負荷を軽減することができる。

【0040】請求項7記載の通信装置は、請求項1に記載の構成において、上記送信器が、ヌルデータ発生器か

ら送出されたヌルデータの長さを計数する計数手段をさらに備え、CPUが、アイドルフレームのヌルデータの長さを送信器に与え、送信タイミング発生手段が、上記計数手段によって計数されたヌルデータの長さとCPUから与えられたヌルデータの長さとは等しくなった時点で、ヌルデータ発生器からのヌルデータの送出を中断すると共にFIFOメモリからのデータの送出を再開するよう切替手段を制御することを特徴とする。

【0041】上記の構成によれば、アイドルフレーム内のヌルデータの長さが可変長である場合であっても、CPUが、ヌルデータの長さを送信器に与えるので、ヌルデータ発生器から送出されたヌルデータの長さがアイドルフレーム内のヌルデータの長さとは等しくなった時点で、ヌルデータ発生器からのヌルデータの送出が中断され、FIFOメモリからのデータの送出を再開することができる。

【0042】これにより、CPUがヌルデータの送出終了のタイミングを指示する必要がないので、CPUは、ヌルデータ発生器からのヌルデータの送信が行われている間は、他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができる。

【0043】請求項8記載の通信装置は、請求項1に記載の構成において、CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出する際に、当該アイドルフレームのフレームチェックを併せてFIFOメモリへ送出することを特徴とする。

【0044】上記の構成によれば、アイドルフレームを送信する場合、まず、FIFOメモリに書き込まれたフレームヘッダが通信回線へ送出された後、FIFOメモリからのデータの送出が一時中断されて、ヌルデータ発生器からのヌルデータが通信回線へ送出される。その後、FIFOメモリからのデータの送出が再開された時点で、CPUによってFIFOメモリに書き込まれたフレームチェックが通信回線へ送出されることにより、アイドルフレームの送信が完了する。

【0045】これにより、CPUは、FIFOメモリへフレームヘッダおよびフレームチェックを書き込んだ後は、他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができる。

【0046】請求項9記載の通信装置は、請求項1に記載の構成において、上記送信器が、ヌル送信コマンドが発行されている間、FIFOメモリから送出されたデータを、上記FIFOメモリへ再度書き込む再書き込み手段をさらに備え、CPUが、複数のアイドルフレームを連続して送出する場合、最初のアイドルフレームのフレームヘッダおよびフレームチェックをFIFOメモリへ書き込んだ後、FIFOメモリへのデータの送出を一時中断し、ヌルデータの送出を指示するヌル送信コマンドを継続して発行することを特徴とする。

【0047】上記の構成によれば、複数のアイドルフレームを連続して送出する場合、CPUが最初のアイドルフレームのフレームヘッダおよびフレームチェックをFIFOメモリへ書き込むことにより、まず、最初のアイドルフレームのフレームヘッダがFIFOメモリから通信回線へ送出される。なお、このフレームヘッダは、再書き込み手段によって、FIFOメモリへ再度書き込まれる。

【0048】その後、送信タイミング発生手段の切替制御によって、FIFOメモリからのデータの送出が一時中断されると共にヌルデータ発生器からのヌルデータが送出が開始される。ヌルデータの送出が終わると、送信タイミング発生手段の切替制御によって、FIFOメモリからのデータの送出が再開されることにより、最初のアイドルフレームのフレームチェックが通信回線へ送出され、最初のアイドルフレームの送信が完了したことになる。なお、このフレームチェックは、再書き込み手段によって、FIFOメモリへ再度書き込まれる。

【0049】このとき、CPUからは、ヌル送信コマンドが継続して発行されているので、最初のアイドルフレームの送信が完了した後、前述のようにFIFOメモリへ再度書き込まれて保持されている最初のアイドルフレームのフレームヘッダが、2番目のアイドルフレームのフレームヘッダとしてFIFOメモリから通信回線へ送出される。以降、ヌルデータ発生器からヌルデータの送出を行い、同様にFIFOメモリへ再度書き込まれて保持されている最初のアイドルフレームのフレームチェックを2番目のアイドルフレームのフレームチェックとして送出することにより、2番目のアイドルフレームの送信が完了する。

【0050】このように、FIFOメモリから送出したデータのFIFOメモリへの再書き込みを行うことにより、CPUが、最初のアイドルフレームのフレームヘッダおよびフレームチェックのみをFIFOメモリへ書き込んでヌル送信コマンドを継続的に発行するだけで、複数のアイドルフレームの送信を連続して行うことができる。

【0051】すなわち、CPUは、2番目以降のアイドルフレームのフレームヘッダおよびフレームチェックをFIFOメモリへ書き込む必要がない。この結果、複数のアイドルフレームを連続して送信する場合、通信にかかるCPUの負荷を軽減することができる。

【0052】請求項10記載の通信装置は、請求項1に記載の構成において、CPUが、複数のアイドルフレームを連続して送出する場合、ヌルデータの送出を指示するヌル送信コマンドを発行すると共に、上記複数個分のフレームヘッダおよびフレームチェックを、FIFOメモリの容量が許容する範囲でFIFOメモリへあらかじめ送出することを特徴とする。

【0053】上記の構成によれば、複数のアイドルフレ

ームを連続して送出する場合、CPUは、送出すべきアイドルフレームのフレームヘッダおよびフレームチェックを、FIFOメモリの容量が許容する範囲でFIFOメモリへ送出する。そして、ヌル送信コマンドを発行することにより、FIFOメモリから最初のフレームヘッダが送出された後、送信タイミング発生手段によって、FIFOメモリからのデータの送出が一時中断されると共にヌルデータ発生器からのヌルデータの送出が行われる。次に、ヌルデータの送出が終わると、FIFOメモリからのデータの送出が再開されることにより、最初のアイドルフレームのフレームヘッダが順次送出される。次に再び、ヌルデータ発生器からのヌルデータの送出が行われる。以上の動作を繰り返すことにより、複数のアイドルフレームが連続して送信される。

【0054】このように、上記の構成によれば、CPUは、送出すべきアイドルフレームのフレームヘッダおよびフレームチェックをFIFOメモリへ書き込んでヌル送信コマンドを発行するだけで、送信器から、複数のアイドルフレームが連続して通信回線へ送信されることとなる。すなわち、CPUは、ヌル送信コマンドを発行した後は、次にFIFOメモリからCPUへ割込みが起きるまで、他の処理を行うことができる。この結果、通信にかかるCPUの負荷を軽減することが可能となる。

【0055】請求項11記載の通信装置は、請求項1に記載の構成において、送信器が通常フレームおよびアイドルフレームの一方を継続して送出しているときに、次に送出すべきデータが通常フレームおよびアイドルフレームの他方である場合、CPUが、FIFOメモリへのヌル送信コマンドの送出もしくはヌル送信コマンドの取下げを行って、未送出のデータを破棄させることを特徴とすることを特徴とする。

【0056】上記の構成では、例えば送信器から通信回線へ通常フレームの送出を連続して行っているときに、CPUがアイドルフレームの送出を行おうとする場合、CPUは、まずFIFOメモリへコマンドを送り、未送出のデータを破棄させる。その後、次に送出すべきアイドルフレームのフレームヘッダをFIFOメモリへ書き込むことにより、このアイドルフレームのフレームヘッダが通信回線へ送出され、続いて、ヌルデータ発生器からヌルデータの送出が行われる。

【0057】これにより、通常フレームあるいはアイドルフレームの送信を連続して行っている間に、アイドルフレームあるいは通常フレームの送信を割り込ませることが可能となる。

【0058】請求項12記載の通信装置は、請求項1に記載の構成において、上記送信器が、FIFOメモリの状態を監視し、FIFOメモリの占有率が閾値に達したときにCPUへ割込みをかけるFIFOメモリ監視手段と、上記閾値を変更する閾値変更手段とをさらに備え、

上記閾値変更手段が、FIFOメモリからトランスミッタへのアイドルフレームのフレームヘッダの送出が完了したときに、CPUに割込みがかかるように上記閾値を変更すると共に、送信器からアイドルフレームの送出が完了したときに上記閾値を変更前の値に戻すことを特徴とする。

【0059】上記の構成によれば、閾値変更手段がFIFOメモリの占有率の閾値を変更することによって、アイドルフレームのフレームヘッダの送出が完了したときに、FIFOメモリからCPUへ割込みがかかる。

【0060】請求項13記載の通信装置は、フレーム構造を持つデータを通信回線から受信する受信器と、受信したデータを処理するCPUとを備えた通信装置において、上記受信器が、通信回線からデータを受け取るレシーバと、レシーバにて受け取ったデータを一時的に保持してCPUへ順次転送するFIFOメモリと、受信したデータがアイドルフレームである場合、アイドルフレーム内のヌルデータを受信する期間は、受信器からCPUへのデータの転送を一時中断することを特徴とする。

【0061】上記の構成によれば、レシーバを介して通信回線から受けとったデータは、FIFOメモリで一時的に保持された後にCPUへ順次転送される。CPUにおいて、受信したデータがアイドルフレームであると判断された場合、アイドルフレームにおけるヌルデータを受信する期間は、受信器がCPUへのデータの転送を一時中断する。

【0062】これにより、ヌルデータを受信する期間において、CPUと受信器との間でデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減が実現される。

【0063】請求項14記載の通信装置は、請求項13に記載の構成において、CPUが、FIFOメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの後続データのFIFOメモリからの読み出しを中断すると共にヌルスキップコマンドを発行し、上記FIFOメモリが、上記ヌルスキップコマンドが与えられると、保持しているヌルデータを破棄することを特徴としている。

【0064】上記の構成によれば、CPUにおいて、FIFOメモリから読み出したフレームヘッダに基づいて、受信したデータがアイドルフレームであると判断された場合、CPUは、FIFOメモリからのデータの読み出しを中断し、ヌルスキップコマンドを発行する。FIFOメモリは、このヌルスキップコマンドを受けると、保持しているヌルデータを破棄する。

【0065】これにより、アイドルフレームのヌルデータは、FIFOメモリからCPUへ送出されることなく破棄されるので、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくす

ることができ、通信にかかるCPUの負荷の低減を図ることができる。

【0066】請求項15記載の通信装置は、請求項13に記載の構成において、上記受信器が、受信したデータの長さを計数する計数手段をさらに備え、CPUが、FIFOメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの後続データのFIFOメモリからの読み出しを中断すると共にヌルスキップコマンドを発行し、上記受信タイミング発生手段が、CPUからヌルスキップコマンドが与えられた時点から上記計数手段で示されるヌルデータ期間の終了まで、FIFOメモリへのデータの転送を一時中断するようレシーバを制御することを特徴とする。

【0067】上記の構成によれば、CPUにおいて、FIFOメモリから読み出したフレームヘッダに基づいて、受信したデータがアイドルフレームであると判断された場合、CPUは、FIFOメモリからのデータの読み出しを中断し、ヌルスキップコマンドを発行する。受信タイミング発生手段は、このヌルスキップコマンドを受けると、ヌルスキップコマンドを受け取った時点から、計数手段によって計数される受信データの長さがヌルデータの長さと同しくなるまで、レシーバからFIFOメモリへのデータの転送を一時中断させる。

【0068】これにより、アイドルフレームのヌルデータは、FIFOメモリからCPUへ送出されないで、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減を図ることができる。

【0069】請求項16記載の通信装置は、請求項13に記載の構成において、CPUが、FIFOメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの内容からヌルデータの長さを検出し、ヌルデータの長さをNとし、レシーバが通信回線から既に受け取ったデータ長をMとすると、 $(N-M)$ をパラメータとしたヌルスキップコマンドを発行し、上記受信タイミング発生手段が、CPUから上記ヌルスキップコマンドが与えられてから、長さ $(N-M)$ のヌルデータを受信するために必要な時間が経過するまで、FIFOメモリへのデータの転送を一時中断するようレシーバを制御することを特徴とする。

【0070】上記の構成によれば、CPUにおいて、FIFOメモリから読み出したフレームヘッダに基づいて、受信したデータがアイドルフレームであるか否かが判断される。フレームヘッダは、当該フレームに関する制御情報等を含んでおり、フレームヘッダの内容からヌルデータの長さを検出できる場合には、CPUは、フレ

ームヘッダから検出されるヌルデータの長さをNとし、レシーバが通信回線から既に受け取ったデータ長をMとすると、 $(N-M)$ をパラメータとしたヌルスキップコマンドを発行する。

【0071】受信タイミング発生手段は、上記のヌルスキップコマンドを受けて、長さ $(N-M)$ のヌルデータを受信するために必要な時間が経過するまで、FIFOメモリへのデータの転送を一時中断するようレシーバを制御する。

【0072】これにより、アイドルフレームのヌルデータがFIFOメモリからCPUへ送出されないで、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減を図ることができる。

【0073】請求項17記載の通信装置は、請求項13に記載の構成において、CPUが、FIFOメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの内容からヌルデータの開始位置および長さを検出し、ヌルデータの開始位置を先頭からK番目、長さをNとすると、当該フレームの先頭から $(K-1)$ 番目のデータまでをFIFOメモリから読み出したときにFIFOメモリからのデータの読み出しを中断すると共に、Nをパラメータとしたヌルスキップコマンドを発行し、FIFOメモリが、上記ヌルスキップコマンドが与えられると、長さNのヌルデータを破棄することを特徴とする。

【0074】上記の構成によれば、CPUにおいて、FIFOメモリから読み出したフレームヘッダに基づいて、受信したデータがアイドルフレームであるか否かを判断する。フレームヘッダは、当該フレームに関する制御情報等を含んでおり、フレームヘッダの内容からヌルデータの開始位置および長さを検出できる場合には、CPUは、フレームヘッダから検出されるヌルデータの開始位置を先頭からK番目、ヌルデータの長さをNとすると、当該フレームの先頭から $(K-1)$ 番目のデータまでをFIFOメモリから読み出したとき、すなわちヌルデータの直前のデータまでの読み出しを完了したときに、CPUは、Nをパラメータとしたヌルスキップコマンドを発行する。

【0075】FIFOメモリは、上記のヌルスキップコマンドを受けて、長さNのヌルデータを破棄する。

【0076】これにより、アイドルフレームのヌルデータがFIFOメモリからCPUへ送出されないで、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減を図ることができる。

【0077】請求項18記載の通信装置は、請求項13に記載の構成において、CPUがヌルスキップコマンドを発行すると、上記受信タイミング発生手段が、CPU

から上記ヌルスキップコマンドが与えられてから、上記ヌルスキップコマンドが取り下げられるまで、FIFOメモリへのデータの転送を一時中断するようレシーバを制御することを特徴とする。

【0078】上記の構成によれば、例えばCPUが過負荷になった場合などに、CPUがヌルスキップコマンドを発行すると、受信タイミング発生手段は、ヌルスキップコマンドが継続している間は、レシーバからFIFOメモリへのデータの転送を一時中断させる。ヌルスキップコマンドが取り下げられると、受信タイミング発生手段がレシーバを制御することにより、FIFOメモリへのデータの転送が再開され、次のフレームから受信が再開されることとなる。

【0079】これにより、例えばCPUが過負荷になった場合などに、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減を図ることができる。

【0080】請求項19記載の通信装置は、請求項13に記載の構成において、上記受信器が、FIFOメモリの状態を監視し、FIFOメモリの占有率が閾値に達したときにCPUへ割込みをかけるFIFOメモリ監視手段と、上記閾値を変更する閾値変更手段とをさらに備え、ヌルデータが通信回線から送信される期間は、上記閾値変更手段が、CPUに割込みがかからないように上記閾値を変更すると共に、上記期間の経過後に上記閾値を変更前の値に戻すことを特徴とする。

【0081】請求項20記載の通信装置は、請求項13に記載の構成において、上記受信器が、受信したフレームのフレームチェックを検査するフレームチェック検査部と、受信したデータを上記フレームチェック検査部を迂回させてFIFOメモリへ書き込む迂回手段とをさらに備え、アイドルフレームの受信時には、当該アイドルフレームのフレームチェックについては、上記迂回手段を経由してFIFOメモリへ書き込むことを特徴とする。

【0082】上記の構成によれば、アイドルフレームの受信時には、フレームチェック検査部による検査を行わないことにより、ヌルデータをスキップすることによるエラーの発生を回避することができる。

【0083】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について図1ないし図6に基づいて説明すれば、以下のとおりである。

【0084】図1は、本発明の実施の一形態に係る通信装置の概略構成を示すブロック図である。

【0085】本通信装置は、主に、送信データの作成やコマンドを用いた種々の制御を行うCPU1と、CPU1で作成されたデータを通信回線へ送出するための送信器とによって構成されている。

【0086】送信器は、CPU1から送出されるデータを一時的に保持する送信FIFOメモリ2（FIFOメモリ）と、上記送信FIFOメモリ2の状態を監視するFIFOメモリ監視回路3（FIFOメモリ監視手段）と、上記送信FIFOメモリ2からのデータ送出タイミングを制御する送信タイミング発生回路4（送信タイミング発生手段）と、CPU1が発行する各種のコマンドを格納するコマンドレジスタ6とを備えている。

【0087】送信器は、さらに、通信回線を介して接続される他装置に対してデータを送出するために、通信回線へ送信データを送出するトランスミッタ5と、ヌルデータ発生器7と、切替回路8（切替手段）とを備えている。なお、上記の通信回線はディジタル方式の回線であれば、有線あるいは無線のいずれであっても良い。

【0088】ヌルデータ発生器7は、後に詳述するが、フレーム内のデータ部分がヌルデータである場合に、トランスミッタ5へ送出するためのヌルデータを発生するための構成である。

【0089】切替回路8は、送信タイミング発生回路4からのデータ切替制御の下で、トランスミッタ5へ送出するデータを、送信FIFOメモリ2から送出されるデータと送信タイミング発生回路4から送出されるデータとの間で切替える。

【0090】送信FIFOメモリ2は、例えばRAM(Random Access Memory)によって構成され、CPU1から送出された書込みデータを一時的に保持する。上記書込みデータとは、フレームのヘッダ部分、データ部分、およびフレーム終わりのFCS等のフレームチェック部分等である。

【0091】送信FIFOメモリ2は、これらの書込みデータを、CPU1から送出された順に、送信タイミング発生回路4からの送信クロックに合わせて、送信データとして切替回路8へ送出する。

【0092】また、送信FIFOメモリ2は、FIFOメモリ監視回路3へFIFO監視信号を供給する。上記のFIFO監視信号には、送信FIFOメモリ2が保持しているデータ数が送信FIFOメモリ2の容量に占める割合等の情報が含まれている。

【0093】FIFOメモリ監視回路3は、上記FIFO監視信号に応じて、CPU1へフレームデータアクセスの要求を行うための複数条件の割り込み（FIFO割込み）を発生する。

【0094】送信タイミング発生回路4は、トランスミッタ5からの通信クロックに基づいて、送信FIFOメモリ2から切替回路8へ送信を行うタイミングを決定し、送信FIFOメモリ2に対して送信クロックを供給する。

【0095】本通信装置を含む通信システム上のデータはフレーム構造を有するディジタルデータである。すなわち、CPU1は、図2に示すように、フレームヘッダ

16と、ユーザデータが書き込まれるデータ部17と、フレームチェック18とによって構成されるフレーム15を、送信データとして作成する。

【0096】フレームヘッダ16は、フレーム制御情報16aと、データ長16bとを含んでいる。本実施形態では、データ部17が有意データである場合には、CPU1によって、上記データ長16bにデータ部17の長さが書き込まれるが、データ部17がヌルデータである場合には、上記データ長16bには“000000”が書き込まれる。

【0097】なお、ヌルデータとしては、意味のない所定のデータ（例えば連続する1）などがデータ部17に書き込まれる。

【0098】フレームチェック18には、FCS等のチェックワードが書き込まれる。

【0099】以上のような構成を備えた通信装置において、CPU1で作成されたフレームを送信する場合の処理について、フレーム15がデータ部17に有意データを含む通常フレームの場合と、データ部17にヌルデータのみを含むアイドルフレームの場合とに分けて、以下に説明する。

【0100】（通常フレームの送信）ここで、データ部17に有意データを含むフレーム15（以下、通常フレームと賞する）を送信する場合の処理について説明する。

【0101】送信FIFOメモリ2は、上述のように、CPU1から書き込まれたフレームヘッダ16の部分、データ部17の部分、およびフレーム終わりのFCS等のフレームチェック18の部分からなるフレーム15すべてを保持し、通信回線に適合した通信クロックを受けた送信タイミング発生回路4からの送信クロックに合わせて、切替回路8へフレーム15を送信する。

【0102】この場合、図2（通常フレーム送信時）に示すように、切替回路8は、送信FIFOメモリ2とヌルデータ発生器7との間のデータ切替えを行わず、送信FIFOメモリ2からの送信データのみが、トランスミッタ5を経由して通信回線に送出される。

【0103】上記の動作について、図3および図4を参照しながら説明すると以下のとおりである。

【0104】最初は、送信FIFOメモリ2が空であるため、図3に示すように、FIFOメモリ監視回路3が送信FIFOメモリ2から“エンプティ”のステータス表示を受ける。これを受けて、FIFOメモリ監視回路3がCPU1へFIFO割込みをかけることにより、フレーム送信が開始される。

【0105】図4に示すように、FIFO割込みが発生すると、CPU1は送信FIFOメモリ2がフルであるか否かのチェックを行う（S1）。最初は、送信FIFOメモリ2は空であるので（S1にてNO）、次のS2へ進み、次に送信されるフレームがアイドルフレームで

あるか否かのチェックを行う（S2）。

【0106】ここでは、データ部17はヌルデータではなく有意データであるので（S2にてNO）、S7へ移行して、CPU1が、送信FIFOメモリ2へフレーム15すべての書き込みを行う。

【0107】次に、送信FIFOメモリ2がフルか否かのチェックを行い（S8）、フルであれば（S8にてYES）、送信FIFOメモリ2へのフレーム15の書き込み処理を中断する。フルでなければ（S8にてNO）、フレーム15の書き込み処理が終了か否かのチェックを行う（S9）。S9にてフレーム15の書き込み処理が終了でなければ、S7へ戻る。

【0108】ここで、送信FIFOメモリ2の深度がフレーム長より浅い場合は、フレーム書き込み終了より以前に、図3に示すように、FIFOメモリ監視回路3は送信FIFOメモリ2からフルのステータス表示を受けて、S8のチェックの結果がYESとなり、フレーム書き込み処理が中断される。

【0109】なお、図4に示すように、S9にてフレーム15の書き込み処理が終了であると判断された後に実行される、送信FIFOメモリ2の閾値を初期化する処理（S10b）については、送信FIFOメモリ2の閾値を変更する処理（S10a）と共に、後に詳しく説明する。

【0110】一方、送信FIFOメモリ2から切替回路8へのデータ送り出しは、CPU1からの書き込みとは独立に実行されており、図5に示すように、フレーム送信が開始されると、送信タイミング発生回路4は、まず、送出すべきデータがフレーム途中のデータか否かのチェックを行う（S11）。

【0111】最初は、送出すべきデータは、フレーム先頭のデータすなわちフレームヘッダ16であるので（S11にてYES）、送信タイミング発生回路4は、切替回路8を制御することにより、送信FIFOメモリ2からデータを送信する（S12）。

【0112】次に、ヌルデータの送信が開始されたか否かのチェックを行う（S13）が、ここでは、データ部17は有意データであることを前提としているので（S13にてNO）、S11へ戻る。

【0113】フレーム長よりも送信FIFOメモリ2の深度が浅い場合には、図4に示すように、CPU1からの書き込みが一時中断される。書き込みが中断されている間も、送信FIFOメモリ2から切替回路8へのデータ送信は継続されるので、送信FIFOメモリ2内のデータ数は減少してゆく。

【0114】その後、送信FIFOメモリ2内のデータの送信が完了するより前に、送信FIFOメモリ2に未送信のまま残っているデータ数が、所定の数kとなったところで、図3に示すように、送信FIFOメモリ2からFIFOメモリ監視回路3へ、“スレッシュヒット”

を表すFIFO監視信号が送られる。

【0115】FIFOメモリ監視回路3は、上記FIFO監視信号を受けて、CPU1へFIFO割込みを発生する。CPU1は、このFIFO割込みを受けて、送信FIFOメモリ2へのフレーム15の残りデータの書き込みを再開する。

【0116】以上のように、送信FIFOメモリ2のステータスに応じたFIFO割込みにより、送信FIFOメモリ2への書き込みと送信FIFOメモリ2からの読み出しとが拮抗して、フレーム15のすべての送信が完了する。なお、上述の説明から明らかなように、通常フレームの送信処理には、ヌルデータ発生器7は関与しない。

【0117】(アイドルフレームの送信)次に、アイドルフレームの送信処理について説明する。

【0118】CPU1は、アイドルフレームの送信を行う場合、まず、フレーム制御情報16aに続くデータ長16bとして、例えば“0000000”をセットしたフレームヘッダ16を、送信FIFOメモリ2へ書き込むと共に、ヌル送信コマンドを発行する。CPU1から発行されたヌル送信コマンドは、コマンドレジスタ6に保持される。

【0119】アイドルフレームの送信の場合、コマンドレジスタ6に保持されたヌル送信コマンドに従って、送信タイミング発生回路4が、切替回路8に対してデータ切替制御を行うことにより、トランスミッタ5へ送出されるデータが、送信FIFOメモリ2より送出されるデータとヌルデータ発生器7より送出されるデータとの間で切替えられる。

【0120】具体的には、切替回路8は、送信タイミング発生回路4の制御に従って、図2における「アイドルフレーム送信時」に示すように、送信FIFOメモリ2からフレームヘッダの送出が完了した時点で、送信FIFOメモリ2からトランスミッタ5へのデータの送信を中断(OFF)し、ヌルデータ発生器7からトランスミッタ5へのデータの送信を開始(ON)する。

【0121】また、切替回路8は、ヌルデータ送信の終了後には、送信タイミング発生回路4の制御に従って、図2における「アイドルフレーム送信時」に示すように、ヌルデータ発生器7からトランスミッタ5へのデータの送信を中止(OFF)し、送信FIFOメモリ2からのデータの送信を再開(ON)する。

【0122】ここで、アイドルフレームの送信を行う場合のCPU1および送信タイミング発生回路4等の処理について、図4および図5のフローチャートをそれぞれ参照しながら説明する。

【0123】まず、CPU1の動作について説明する。フレーム送信を開始する前は、送信FIFOメモリ2が空であるため、図3に示すようにFIFOメモリ監視回路3が、送信FIFOメモリ2から“エンプティ”のス

テータス表示を受ける。これを受けて、FIFOメモリ監視回路3がCPU1へFIFO割込みをかけることにより、フレーム送信が開始される。

【0124】FIFO割込みが発生すると、図4に示すように、CPU1は、まず、送信FIFOメモリ2がフルか否かのチェックを行う(S1)。最初は送信FIFOメモリ2が空であるので(S1にてNO)、次のS2において、次のフレーム15がアイドルフレームか否かのチェックを行う。

【0125】ここでは、データ部17がヌルデータであるアイドルフレームの送信を想定しているので(S2にてYES)、CPU1は、フレーム15のフレームヘッダ16及びフレームチェック18を、送信FIFOメモリ2へ書き込む(S3)。このとき、フレームヘッダ16のデータ長16bには、CPU1によって、上述のように、アイドルフレームの識別記号としての“0000000”がセットされている。

【0126】次に、CPU1は、ヌル送信コマンドを発行する(S4)。発行されたヌル送信コマンドは、コマンドレジスタ6に保持される。

【0127】次に、CPU1は、送信FIFOメモリ2がフルか否かのチェックを行い(S5)、送信FIFOメモリ2がフルであれば(S5にてYES)、フレーム15の書き込み処理を中断する。フルでなければ(S5にてNO)、フレーム15の書き込み処理が終了か否かのチェックを行う(S6)。S6にてフレーム15の書き込み処理が終了でなければ、S3へ戻る。

【0128】一方、フレーム15の書き込み処理を終了する場合(S6にてYES)は、送信FIFOメモリ2の閾値を変更する処理を行い(S10a)、その後、処理を終了して再びFIFO割込みがかかるのを待つ。なお、このS10aの処理については、S10bの処理と共に、後に詳しく説明する。

【0129】通常、フレームヘッダ16およびフレームチェック18を合わせた長さより、送信FIFOメモリ2の深度は十分深いので、アイドルフレームを送信する場合には、フレームの書き込み終了より以前に、図3に示すように、FIFOメモリ監視回路3が送信FIFOメモリ2からフルのステータス表示を受ける可能性は低い。

【0130】従って、S5において送信FIFOメモリ2がフルと判断されるまで、複数個分のアイドルフレームのフレームヘッダ16およびフレームチェック18を連続して送信FIFOメモリ2へ書き込み、CPU1がヌル送信コマンドを継続的に発行することにより、複数のアイドルフレームを連続して送信することも可能である。

【0131】なお、複数のアイドルフレームを連続して送信している途中に、通常フレームを速やかに送信する必要が生じた場合には、CPU1は、ヌル送信コマンド

を取下げると、

【0132】この場合、ヌル送信コマンドの取下げを受けて、送信タイミング発生回路4が、送信FIFOメモリ2内の未送信のデータを破棄すると共に、CPU1が上記通常フレームを送信FIFOメモリ2へ書き込む。

【0133】これにより、複数のアイドルフレームの送信途中に通常フレームを送信する必要が生じた場合にも、速やかに当該通常フレームを送信することができる。

【0134】次に、送信FIFOメモリ2に書き込まれたデータのトランスミッタ5への送り出しの処理について説明する。送信FIFOメモリ2からのデータの送り出しは、通常フレームの送信の場合と同様に、送信タイミング発生回路4の制御に従って、CPU1から送信FIFOメモリ2への書き込みとは独立して実行されている。

【0135】図5に示されるように、フレーム送信が開始されると、まず、送信タイミング発生回路4は、送信FIFOメモリ2から送信しようとするデータがフレーム途中のデータであるか否かのチェックを行う（S11）。最初は、送信すべきデータはフレーム先頭のデータ（フレームヘッダ16）であるので、その次のS12にて、送信FIFOメモリ2から切替回路8へのデータの送信を実行する（S12）。

【0136】次に、送信タイミング発生回路4は、ヌルデータの送信を開始すべきか否かのチェックを行う（S13）が、ここでは、上記S4においてヌルデータ送信のコマンドが発行されているので（S13にてYES）、フレームヘッダ16の送信を完了すると、ヌルデータ発生器7からヌルデータを送信する処理を開始する（S14）。

【0137】ヌルデータの送信を行っている間は、送信FIFOメモリ2からのデータの読み出しは行われないので、FIFO割り込みが発生する可能性は低い。ヌルデータの期間を完了する（S15にてYES）と、送信FIFOメモリ2からのデータ送信を再開することにより、フレームチェック18が送信FIFOメモリ2から切替回路8に送信され、フレームの送信が完了する。

【0138】以上のように、本実施の形態に係る構成では、アイドルフレームを送信する場合には、CPU1から発行されるヌル送信コマンドに基づいて、フレーム15のデータ部17（ヌルデータ）を送信する期間には、送信FIFOメモリ2に書き込まれて保持されたデータではなく、ヌルデータ発生器7からのヌルデータが、切替回路8を介してトランスミッタ5へ送出される。

【0139】これにより、アイドルフレームを送信する場合に、CPU1と送信FIFOメモリ2との間のデータ受渡しの処理を少なくできるので、通信に係るCPU1の負荷を低減することができる。

【0140】一方、通常フレームの送信を連続して行

ているときに、この通常フレームの送信を中断してアイドルフレームの送信を行う場合の処理手順は、下記のとおりである。

【0141】通常フレームの送信を連続して行っている場合、CPU1は、送信FIFOメモリ2へ、連続する通常フレームのデータ部（有意データ）を書き込んでおくが、これらの通常フレームの送信が何らかの理由により不用になった場合、CPU1は、ヌル送信コマンドを発行して待機する。

【0142】送信タイミング発生回路4は、送信FIFOメモリ2に蓄積されたデータフレームの内、送信中のデータフレームの送信を完了し終わったところで、コマンドレジスタ6に保持されたCPU1からのヌル送信コマンドに従って、送信FIFOメモリ2に残っているデータフレームをすべて破棄する。

【0143】これにより、待機中のCPU1に対してFIFOメモリ監視回路3から送信FIFOメモリ2がエンプティである旨の割り込みが発生する。CPU1は、この割り込みにより、アイドルフレームの送信タイミングを認識して、アイドルフレーム中のヌルデータ以外のデータを送信FIFOメモリ2へ書き込む。

【0144】以降、送信タイミング発生回路4は、コマンドレジスタ6に保持されたヌル送信コマンドに従って、図2において「アイドルフレーム送信時」に示すように、フレーム内のヌルデータを送信するタイミングで、送信FIFOメモリ2からのデータの送信を一時中断すると共に、ヌルデータ発生器7からのヌルデータの送信を開始する。

【0145】送信タイミング発生回路4は、ヌルデータ送信の終了後は、一時中断していた送信FIFOメモリ2からのデータの送信を再開する。

【0146】上記したように、ヌルデータを含まない通常フレームを継続して送信している間においても、CPU1からヌル送信コマンドを与えると、未送出のフレームを送信FIFOメモリ2から自動的に破棄し、次の送信タイミングで、アイドルフレームの送信が開始されることとなる。

【0147】以上のように、本実施形態に係る通信装置は、アイドルフレームの送信時に、CPU1と送信FIFOメモリ2との間のデータの受渡し処理が少なくて済むので、通信にかかるCPU1の負荷を低減できるといった効果を奏する。

【0148】また、上記した構成において、図4に示したように、FIFOメモリ2の占有率の閾値を適宜変更する（S10a）と共に、通常フレームの送信を完了した後に上記閾値を初期化する（S10b）ことにより、FIFOメモリ2からトランスミッタ5へのアイドルフレームのヘッダの送出が完了した時に、CPU1へ割り込みがかかるようにすることができる。

【0149】すなわち、CPU1は、通常の処理プログ

ラムを実行しているとき、スレッシュヒットの割込みが発生してから、割込み処理のプログラムを実行して、元の通常の処理プログラムに戻るまで、各種変数や状態フラグ等の一時退避を行わねばならない。この結果、実際に割込み処理プログラムを実行して次の送信データを送信FIFOメモリ2へ書き込むまでに、このオーバーヘッドによるタイムラグが生じる。

【0150】この間にも、送信器は通信回線へ送信データを送出しており、CPU1が送信FIFOメモリ2へ送信データの書き込みを行う時点では、送信FIFOメモリ2に残っている送信データは閾値よりも更に少なくなっている。

【0151】送信FIFOメモリ2の閾値レベルは、CPU1へスレッシュヒットの割込みが発生してから、実際にCPU1が送信FIFOメモリ2へ次のデータの書き込みを行うまでのタイムラグを補償できる時間に基づいて設定しておく必要があり、この値は通信回線の速度とCPU1の処理速度とによって適当な値を選ぶことが好ましい。

【0152】例えば、CPU1がスレッシュヒットの割込みを受けて送信FIFOメモリ2に送信データを書込み、通常の処理プログラムに戻るまでに、通信回線に3バイトが送出されるとすると、閾値は4バイト以上に設定しておく必要がある。

【0153】ここで、送信FIFOメモリ2の閾値を動的に変更する場合の処理について、図6(b)に示すタイミングチャートを参照しながら説明する。なお、図6(a)は、比較のために、閾値を所定の値に固定した場合のタイミングチャートである。

【0154】仮に上記の条件で、フレームヘッダの長さが1バイト、フレームチェックシーケンスの長さが1バイト、データの長さが6バイトの計8バイトのフレームにて通信を行い、送信FIFOメモリ2の深度が10バイト、閾値が4バイトの場合、CPU1にスレッシュヒットの割込みが発生したとすると、次のフレームを書き込む時は、送信FIFOメモリ2には1番目のフレームの1バイトだけが残っている。このため、CPU1は、ここで、2番目の通常フレーム8バイトの送信FIFOメモリ2への書き込み処理を終える。

【0155】この時点で、送信FIFOメモリ2には閾値(4バイト)を上回るデータが格納されているので、送信FIFOメモリ2から通信回線へのデータ送出が繰り返される。その後、送信FIFOメモリ2に格納されているデータの長さが、再び閾値(4バイト)と等しくなったところで、上記のようにスレッシュヒットの割込みが発生する。

【0156】次に、3番目のフレームはヌルデータが含まれたアイドルフレームであるとして、CPU1は、フレームヘッダ1バイトとフレームチェックシーケンス1バイトの計2バイトだけを送信FIFOメモリ2へ書

き込んで、ヌル送信コマンドを発行することとなる。

【0157】この時点では、送信FIFOメモリ2には3バイトだけが書き込まれているため、閾値を上回ってはならず、割込み処理を終了しても直ちにスレッシュヒットの割込みがかかってしまう。

【0158】また、この時点は、ヌルデータ発生器7からのヌルデータの送信が実行されている期間内にあり、送信FIFOメモリ2に3番目のフレームのフレームチェックシーケンスの1バイトだけを残した状態で、送信FIFOメモリ2からの読み出しが停止しているため、アンダーランエラーが発生することはない。

【0159】次の4番目のフレームもアイドルフレームである場合には、CPU1はここでもフレームヘッダ1バイトとフレームチェックシーケンス1バイトの計2バイトだけを、送信FIFOメモリ2へ書き込んで割込み処理を終了する。しかし、この時点ではまだ閾値を上回ってはならず、割込み処理を終了しても、直ちにスレッシュヒットの割込みがかかるが、既に4番目のフレームは書き込み済みであり、5番目のフレームが未定であれば、この割込みに対しては書き込むべきデータがなく、CPU1の処理効率を悪化させてしまう。

【0160】そこで、次がアイドルフレームである場合、割込み処理の中で閾値を適切な値に変更する必要がある。上記の例の場合、ヌル送信コマンドの発行と同時に送信FIFOメモリ2の閾値を2バイトに変更すれば、3番目のアイドルフレーム2バイトを書き込んだ時点で、送信FIFOメモリ2には閾値を上回るデータが格納されており、CPU1は、割込み処理を終了した時点で、通常処理に戻ることができる。

【0161】この場合でも、送信FIFOメモリ2にはあまりデータが残っていないために、しばらくすると、CPU1にスレッシュヒットの割込みが発生するが、この時点では、ヌルデータ発生器7からのヌルデータの送信が実行されている期間であり、送信FIFOメモリ2に3番目のフレームのフレームチェックシーケンスの1バイトだけを残した状態で、送信FIFOメモリ2からの読み出しは停止している。これにより、この場合も、アンダーランエラーが発生することはない。

【0162】次の4番目のフレームもアイドルフレームである場合には、閾値は2バイトのままで、CPU1はヘッダ1バイトとフレームチェックシーケンス1バイトの計2バイトだけを送信FIFOメモリ2へ書き込んで、割込み処理を終了する。この時点でも、3番目のフレームのヌルデータの送信が、ヌルデータ発生器7からのヌルデータの送信として実行されている期間であるため、CPU1は、通常処理に戻ることができる。

【0163】3番目のアイドルフレームのヌルデータの送信が終了し、3番目のフレームチェックシーケンスが送信されたところで、送信FIFOメモリ2には、4番目のフレームヘッダとフレームチェックシーケンスの2

バイトだけが格納されており、CPU1にはスレッシュヒットの割込みが発生する。

【0164】次の5番目のフレームが通常フレームである場合には、ここで8バイトを書き込むと共に、閾値を初期化することによって元の値(4バイト)に戻して、割込み処理を終了する。この時点でこの例における1番目の通常フレームの送信の状態に戻る。

【0165】このようにして、ヌルデータの送信の時に送信FIFOメモリ2の閾値を適切な値に動的に変更することで、CPU1の通常処理の効率を低下させることなくヌルデータの送信を実行することが可能となる。

【0166】〔実施の形態2〕本発明の実施に係る他の形態について、図7に基づいて説明すれば、以下のとおりである。なお、前記した実施の形態1で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0167】本実施形態に係る通信装置は、図7に示すように、コマンドレジスタ6を持たず、送信データ監視回路9(送信データ監視手段)を備えた点において、実施の形態1に係る通信装置と異なっている。

【0168】送信データ監視回路9は、送信FIFOメモリ2から読み出したフレーム15のフレームヘッダ16の情報に基づいて、同フレーム15がアイドルフレームであるか否かを判断し、その判断結果を、ヌル送信コマンドとして送信タイミング発生回路4へ与える。

【0169】すなわち、送信FIFOメモリ2から切替回路8へ、上記送信FIFOメモリ2に保持されているフレーム15のフレームヘッダ16部分が送信されると同時に、上記フレームヘッダ16は送信データ監視回路9へも送られる。

【0170】送信データ監視回路9は、送信FIFOメモリ2に保持されているフレーム15がアイドルフレームであるか否かを、フレームヘッダ16のデータ長16bの内容を調べることによって判断する。すなわち、データ長16bに“000000”がセットされていれば、当該フレーム15は、アイドルフレームであるとする。

【0171】これにより、フレームヘッダ16の送信が完了した時点で、送信データ監視回路9は、当該フレーム15がアイドルフレームであると判断すれば、送信タイ

ミング発生回路4へヌル送信コマンドを送る。

【0172】送信タイミング発生回路4は、ヌル送信コマンドを受けると、送信FIFOメモリ2からのデータの読み出しを中断し、ヌルデータ発生器7からのヌルデータの送信を行うように、切替回路8に対してデータ切替制御を行う。

【0173】なお、ヌルデータの送信終了後は、送信タイミング発生回路4のデータ切替制御に基づいて、切替回路8が、一時中断されていた送信FIFOメモリ2からのデータの送信を所定のタイミングで再開することに

より、フレーム15のフレームチェック18が送信FIFOメモリ2から切替回路8を介してトランスミッタ5へ送出される。これにより、アイドルフレームの送信が完了する。

【0174】以上のように、本実施形態に係る通信装置は、送信データ監視回路9を備えたことにより、送信FIFOメモリ2から切替回路8へ送信されるフレームヘッダ16の内容に基づいて、送信FIFOメモリ2に保持されているフレームがアイドルフレームか否かを判断する。

【0175】それゆえ、アイドルフレームを送信する際にCPU1からヌル送信コマンドを発行する必要がなくなるので、通信にかかるCPU1の負荷をさらに軽減することが可能となる。

【0176】〔実施の形態3〕本発明の実施に係る他の形態について、図8に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0177】本実施形態に係る通信装置は、図8に示すように、前記した実施の形態1に係る通信装置に対し、データカウンタ10(計数手段)を追加した構成である。

【0178】CPU1は、次に送信すべきフレームがアイドルフレームである場合、ヌル送信コマンドを発行する前に、データカウンタ10に、ヌルデータの長さLを初期値として予め与えておく。

【0179】送信タイミング発生回路4は、コマンドレジスタ6に保持されたCPU1からのヌル送信コマンドに従って、図2に示すように、フレーム15内のデータ部17の送信を開始するタイミングで、CPU1から書き込まれた送信FIFOメモリ2のデータの送信を一時中断すると共に、ヌルデータ発生器7からのヌルデータの送信を行うように、切替回路8に対してデータ切替制御を行う。これにより、ヌルデータ発生器7から切替回路8を介してトランスミッタ5へのヌルデータの送信が開始される。

【0180】同時に、送信タイミング発生回路4は、データカウンタ10に対して、データ送信タイミングに同期したカウントタイミングの供給を開始する。データカウンタ10は、カウントタイミングに基づき、ヌルデータを1単位送信する度に、初期値Lから1ずつ減じていき、0になったところで、ヌル送信期間の終了を送信タイミング発生回路4へ通知する。

【0181】送信タイミング発生回路4は、ヌル送信期間終了の通知を受けて、切替回路8に対してデータ切替制御を行い、トランスミッタ5への送信データを、ヌルデータ発生器7からのヌルデータから、送信FIFOメモリ2からのデータへ切り替える。

【0182】これにより、一時中断されていた送信FIFO

F Oメモリ2からのデータの送信が再開されるので、フレーム15のフレームチェック17が、切替回路8を介して送信F I F Oメモリ2からトランスミッタ5へ送信され、フレーム15の送信が完了したこととなる。

【0183】以上のように、本実施形態に係る通信装置では、アイドルフレームの送信の際に、CPU1が、データカウンタ10へヌルデータの長さを予め与える構成である。これにより、送信タイミング発生回路4が、上記ヌルデータの長さに応じた期間、送信F I F Oメモリ2からの送信を中断してヌルデータ発生器7からのヌルデータの送信を行う。

【0184】それゆえ、フレーム15中のデータ部17の長さが可変である場合でも、アイドルフレームの送信時に、CPU1と送信F I F Oメモリ2との間のデータ受渡しの処理を少なくすることができ、通信に係るCPU1の負荷を軽減することが可能となる。

【0185】〔実施の形態4〕本発明の実施に係る他の形態について、図9に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0186】本実施形態に係る通信装置は、図9に示すように、実施の形態3で説明した通信装置に対して、データ長レジスタ11と、比較回路12とを追加した構成である。

【0187】CPU1は、次に送信すべきフレームが長さLのヌルデータを含むアイドルフレームである場合、ヌル送信コマンドを発行する前に、データ長レジスタ11にヌルデータの長さLを初期値として与えておく。

【0188】なお、データカウンタ10（計数手段）には、初期値として0がセットされている。

【0189】送信タイミング発生回路4は、コマンドレジスタ6に保持されたCPU1からのヌル送信コマンドに従って、切替回路8に対してデータ切替制御を行い、フレーム15内のデータ部17の送信を開始するタイミングで、CPU1から書き込まれた送信F I F Oメモリ2のデータの送信を一時中断すると共に、ヌルデータ発生器7からのヌルデータの送信を開始する。

【0190】同時に、送信タイミング発生回路4は、データカウンタ10に対して、データ送信タイミングに同期したカウントタイミングの供給を開始する。データカウンタ10では、上記カウントタイミングに基づき、ヌルデータを1単位送信する度に、データカウンタ10の値に1ずつ加算していく。

【0191】比較回路12は、データカウンタ10の値とデータ長レジスタ11の値とを比較しており、これらの値が等しくなったところで、ヌル送信期間の終了を、送信タイミング発生回路4へ通知する。すなわち、データカウンタ10の値がヌルデータの長さLになったところで、ヌル送信期間終了の通知がなされる。

【0192】送信タイミング発生回路4は、ヌル送信期間終了の通知を受けて、切替回路8に対してデータ切替制御を行う。このデータ切替制御によって、切替回路8からトランスミッタ5へ送信されるデータは、ヌルデータ発生器7からのヌルデータのから、一時中断されていた送信F I F Oメモリ2からのデータに切り替えられる。

【0193】以上のように、本実施形態に係る通信装置では、CPU1が送信しようとするアイドルフレームに含まれるヌルデータの長さLがデータ長レジスタ11に与えられると共に、データカウンタ10にて、ヌルデータ発生器7から送信されたヌルデータの長さが計数される構成である。

【0194】そして、上記通信装置は、ヌルデータ発生器7から送信されたヌルデータの長さが、上記アイドルフレームに含まれるヌルデータの長さLと等しくなったところで、送信F I F Oメモリ2からの送信を再開するようになっている。

【0195】これにより、フレーム15中のデータ部17の長さが可変である場合でも、フレーム中のデータ部17の送信期間、すなわちヌルデータの送信期間では、送信F I F Oメモリ2からの送信が中断され、ヌルデータ発生器7からのヌルデータが切替回路8を介してトランスミッタ5から通信回線へ送出される。

【0196】それゆえ、アイドルフレームの送信時に、CPU1と送信F I F Oメモリ2との間のデータ受渡しの処理が少なくなるので、通信に係るCPU1の負荷を軽減することが可能となる。

【0197】〔実施の形態5〕本発明の実施に係る他の形態について、図10および図11に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0198】本実施形態に係る通信装置は、図10に示すように、前記した実施の形態4の通信装置に対し、データカウンタ101（計数手段）を追加した構成である。

【0199】CPU1は、次に送信すべきフレーム15が、図11に示すように、フレーム先頭からM番目を開始位置として長さLのヌルデータを含む場合、ヌル送信コマンドを発行する前に、上記フレーム15におけるヌルデータの開始番地Mを、初期値としてデータカウンタ101に与えておく。また、CPU1は、データカウンタ101に、ヌルデータの長さLを初期値として与えておく。

【0200】送信タイミング発生回路4は、コマンドレジスタ6に保持されたCPU1からのヌル送信コマンドに従って、フレーム15の送信を開始した時点から、データカウンタ101に対し、データ送信タイミングに同期したカウントタイミングの供給を開始する。

【0201】データカウンタ10は、カウントタイミン
グの1単位時間が経過する度に、初期値Mから1ずつ減
じていき、その値が0になったところで、ヌルデータの
送信開始（ヌル送信開始）を送信タイミング発生回路4
へ通知する。すなわち、このヌル送信開始が送信タイ
ミング発生回路4へ通知されるタイミングは、アイドルフ
レーム内のヌルデータの送信を開始すべきタイミングに
一致する。

【0202】送信タイミング発生回路4は、データカウ
ンタ10からのヌル送信開始の通知を受けて、切替回路
8に対してデータ切替制御を行い、CPU1から書き込
まれた送信FIFOメモリ2のデータの送信を一時中断
すると共に、ヌルデータ発生器7からのヌルデータの送
信を開始する。

【0203】また、送信タイミング発生回路4は、デー
タカウンタ10からヌル送信開始の通知を受けると同時
に、データカウンタ101に対して、データ送信タイミ
ングに同期したカウントタイミンの供給を開始する。

【0204】データカウンタ101は、上記カウントタイ
ミングの1単位時間が経過する度に、初期値Lから1
ずつ減じていき、その値が0になったところで、ヌル送
信期間の終了を、送信タイミング発生回路4へ通知す
る。

【0205】すなわち、前述のヌル送信開始が送信タイ
ミング発生回路4へ通知されるタイミングから、ここで
のヌル送信期間の終了が送信タイミング発生回路4へ通
知されるタイミングまでの時間は、長さLのヌルデータ
を通信回線へ送出するために要する時間と等しい。

【0206】送信タイミング発生回路4は、ヌル送信期
間終了の通知を受けて、切替回路8に対してデータ切替
制御を行う。このデータ切替制御により、切替回路8
は、トランスミッタ5へ送信するデータを、ヌルデータ
発生器7からのヌルデータから、送信FIFOメモリ2
からのデータへ切り替える。

【0207】以上のように、本実施形態の構成によれ
ば、フレーム15中のヌルデータの開始位置と長さとは
可変である場合であっても、CPU1がヌルデータの送
信開始および送信終了のタイミングを指示する必要がな
い。

【0208】それゆえ、アイドルフレームの送信時に、
CPU1と送信FIFOメモリ2との間のデータ受渡しの
処理がさらに少なくなるので、通信に係るCPU1の
負荷を軽減することが可能となる。

【0209】〔実施の形態6〕本発明の実施に係る他の
形態について、図12に基づいて説明すれば、以下のと
おりである。なお、前記した各実施の形態で説明した構
成と同様の機能を有する構成には、同一の符号を付記
し、その説明を省略する。

【0210】本実施形態に係る通信装置は、図12に示
すように、実施の形態1で説明した通信装置の切替回路

8とトランスミッタ5との間に、フレームチェック付加
回路13をさらに備えた構成である。

【0211】フレームチェック付加回路13は、フレー
ム15におけるデータ部17の送信が完了した時点で、
FCS等のフレームチェックを、フレームチェック18
として、上記データ部17に続けて自動的に送信する機
能を有する。

【0212】上記フレーム15がアイドルフレームの場
合、CPU1は、フレームヘッダ16のみを送信FIFO
メモリ2へ書き込む。そして、実施の形態1で説明し
たように、送信タイミング発生回路4によるデータ切替
制御に基づき、切替回路8がヌルデータ発生器7からト
ランスミッタ5へヌルデータの送信を完了した時点で、
フレームチェック付加回路13は、上記ヌルデータに続
いて、フレームチェック18を自動的に送信する。

【0213】送信タイミング発生回路4は、フレームチ
ェック付加回路13からのフレームチェックの送信が完
了した後に、一時中断していた送信FIFOメモリ2か
らのデータの送信を開始する。

【0214】以上のように、本実施形態に係る通信装置
は、ヌルデータ発生器7からのヌルデータの送信が終了
した後に、フレームチェック付加回路13が、フレーム
15のフレームチェック18を自動的にトランスミッタ
5へ送信する構成である。

【0215】これにより、CPU1が、フレーム終わりの
FCS等のフレームチェックを書き込む必要がなくな
るので、アイドルフレームの送信時におけるCPU1と
送信FIFOメモリ2との間のデータ受渡しの処理がさ
らに少なくなり、通信に係るCPU1の負荷をさらに軽
減することができる。

【0216】〔実施の形態7〕本発明の実施に係る他の
形態について、図13に基づいて説明すれば、以下のと
おりである。なお、前記した各実施の形態で説明した構
成と同様の機能を有する構成には、同一の符号を付記
し、その説明を省略する。

【0217】本実施形態に係る通信装置は、ヌルデー
タ発生器7および切替回路8の代わりに、電源制御クロ
ック供給回路14を備えた点において、前記した実施の形
態1に係る通信装置と異なっている。

【0218】送信タイミング発生回路4は、CPU1か
らコマンドレジスタ6へ与えられたヌル送信コマンドに
基づいて、電源制御クロック供給回路14へヌル送信期
間の開始を通知する。

【0219】電源制御クロック供給回路14は、ヌル送
信期間中は、トランスミッタ5への電源供給を停止す
ると共に、トランスミッタ5への電源供給が停止されて
いる間、送信タイミング発生回路4への通信クロックを補
償する。

【0220】以上のように、本実施形態に係る構成によ
れば、CPU1が、ヌル送信期間中に、送信FIFOメ

メモリ2へヌルデータを書き込む必要がなくなる。それゆえ、アイドルフレームの送信の際の、CPU1と送信FIFOメモリ2との間のデータ受渡しの処理が少なくなり、通信に係るCPU1の負荷を低減することができる。

【0221】なお、この実施の形態では、電源制御クロック供給回路14がトランスミッタ5への電源供給を制御する構成を例示したが、電源制御クロック供給回路14が、ヌルデータを送信する期間において、送信FIFOメモリ2への電源供給を一時中断する構成としても良い。

【0222】〔実施の形態8〕本発明の実施に係る他の形態について、図14に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0223】本実施形態に係る通信装置は、図14に示すように、CPU1と送信FIFOメモリ2との間に、切替回路81（再書き込み手段）をさらに備えた点において、実施の形態1に係る構成と異なっている。

【0224】本実施形態の通信装置では、複数のアイドルフレームを連続して送信する場合、CPU1はヌル送信コマンドを連続して発行するようになっている。

【0225】また、送信タイミング発生回路4は、複数のアイドルフレームを連続して送信する場合、CPU1からコマンドレジスタ6を経由して与えられるヌル送信コマンドに従い、切替回路81に対してデータ切替制御を行うことにより、送信FIFOメモリ2から送出されたデータを、送信FIFOメモリ2に再度書き込ませるようになっている。

【0226】ここで、本実施形態の構成において、複数のアイドルフレームを連続して送信する場合の各部の動作について説明する。

【0227】CPU1は、まず、送信すべき複数のアイドルフレームの最初のアイドルフレームのフレームヘッダおよびフレームチェックのみを、送信FIFOメモリ2へ送出し、ヌル送信コマンドを発行する。なお、このヌル送信コマンドは、アイドルフレームを連続して送信する間、継続的に発行される。

【0228】送信タイミング発生回路4は、ヌル送信コマンドを受けて、上記フレームヘッダを送信FIFOメモリ2から切替回路8へ送出すると共に、このフレームヘッダを送信FIFOメモリ2へ再度書き込むよう、切替回路81に対してデータ切替制御を行う。

【0229】フレームヘッダの送出が完了すると、送信タイミング発生回路4は、実施の形態1で説明したように、データ切替制御によって、送信FIFOメモリ2からのデータの送出を一時中断し、ヌルデータ発生器7からのヌルデータの送出を開始するように、切替回路8を制御する。

【0230】これにより、上記のタイミングで、切替回路8からトランスミッタ5へ送出されるデータは、CPU1から送信FIFOメモリ2へ書き込まれたデータから、ヌルデータ発生器7が発生するヌルデータへ切り替わる。

【0231】その後、上記最初のアイドルフレームのヌルデータの送信が終了した後は、送信タイミング発生回路4は、データ切替制御により、一時中断されていた送信FIFOメモリ2からのデータの送出およびそのデータの送信FIFOメモリ2への再書き込みを再開する。

【0232】これにより、CPU1によって送信FIFOメモリ2に書き込まれて送信FIFOメモリ2に保持されていた、最初のアイドルフレームのフレームチェックが、送信FIFOメモリ2から切替回路8を介してトランスミッタ5へ送出され、最初のアイドルフレームの送信が完了する。

【0233】また、ここでは、2個目のアイドルフレームを連続して送信するためにヌル送信コマンドが継続的に発行されているので、上記フレームチェックは、切替回路81の制御によって送信FIFOメモリ2に再度書き込まれる。

【0234】その後、送信FIFOメモリ2に再度書き込まれることによって保持されていたフレームヘッダが、2個目のアイドルフレームのフレームヘッダとして、切替回路8を介してトランスミッタ5へ送出される。なお、このフレームヘッダは、アイドルフレームの送信をさらに継続して行う場合には、切替回路81によって送信FIFOメモリ2に再度書き込まれる。

【0235】上述のように、複数のアイドルフレームを連続して送信する場合、CPU1はヌル送信コマンドを継続的に発行すれば、送信FIFOメモリ2へ一度書き込んだフレームヘッダとフレームチェックとが、2個目以降のアイドルフレームに対して繰り返し利用される。つまり、2個目以降のアイドルフレームのフレームヘッダおよびフレームチェックを、送信FIFOメモリ2へ書き込む必要がないので、CPU1の負荷が軽減される。

【0236】ここで、上述の動作について、主に図4および図5のフローチャートを参照しながら説明する。

【0237】最初は、送信FIFOメモリ2が空であるため、図3に示すように、FIFOメモリ監視回路3が送信FIFOメモリ2から“エンプティ”のステータス表示を受ける。これを受けて、FIFOメモリ監視回路3がCPU1へFIFO割り込みをかけることにより、フレーム送信が開始される。

【0238】FIFO割り込みが発生すると、図4に示すように、CPU1は、まず、送信FIFOメモリ2がフルか否かのチェックを行う（S1）。最初は、上述のように送信FIFOメモリ2が空であるので（S1にてNO）、S2に進み、次に送信するフレームがアイドル

フレームか否かをチェックする(S2)。

【0239】ここでは、ヌルデータを含むアイドルフレームの送信を想定している(S2にてYES)、CPU1は、このアイドルフレームのフレームヘッダ及びフレームチェックを、送信FIFOメモリ2へ書き込み(S3)、ヌル送信コマンドを発行する(S4)。発行されたヌル送信コマンドは、コマンドレジスタ6に保持される。

【0240】次に、CPU1は、送信FIFOメモリ2がフルか否かのチェックを行い(S5)、送信FIFOメモリ2がフルであれば(S5にてYES)、フレームの書き込み処理を中断する。フルでなければ(S5にてNO)、フレームの書き込み処理が終了か否かのチェックを行う(S6)。S6にてフレームの書き込み処理が終了でなければ、S3へ戻る。

【0241】通常、フレームヘッダおよびフレームチェックを合わせた長さより、送信FIFOメモリ2の深度は十分深く、フレームがアイドルフレームである場合には、フレームヘッダおよびフレームチェックのみが送信FIFOメモリ2へ書き込まれるので、フレームの書き込み終了より以前に、図3に示すように、FIFOメモリ監視回路3が送信FIFOメモリ2からフルのステータス表示を受ける可能性は低い。

【0242】従って、S5にて送信FIFOメモリ2がフルと判断されるまで、複数個分のアイドルフレームのフレームヘッダおよびフレームチェックをあらかじめ送信FIFOメモリ2に書き込んでおき、送信FIFOメモリ2が空になるまで、上記複数個アイドルフレームを連続して送信することも可能である。

【0243】一方、送信FIFOメモリ2からのデータ送出は、通常フレームの送信の場合と同様に、CPU1からの書き込みとは独立して実行されている。

【0244】図5に示すように、フレーム送信が開始されると、まず、送信タイミング発生回路4は、送信FIFOメモリ2から送信しようとするデータがフレーム途中のデータであるか否かのチェックを行う(S11)。

【0245】最初は、送信すべきデータはフレーム先頭のデータ(フレームヘッダ)であるので、その次のS12にて、送信FIFOメモリ2から切替回路8へのデータの送信を実行する(S12)。

【0246】次に、送信タイミング発生回路4は、ヌルデータの送信を開始すべきか否かのチェックを行う(S13)が、ここでは、上記S4においてヌルデータ送信のコマンドが発行されているので(S13にてYES)、フレームヘッダ16の送信を完了すると、ヌルデータ発生器7からヌルデータを送信する処理を開始する(S14)。

【0247】ヌルデータの送信を行っている間は、送信FIFOメモリ2からのデータの読み出しは行われないので、FIFO割り込みの発生する可能性は低い。ヌル

データの期間を完了する(S15にてYES)と、送信FIFOメモリ2からのデータ送信を再開することにより、フレームチェック18が送信FIFOメモリ2から切替回路8に送信され、フレームの送信が完了する。

【0248】以上のように、本実施の形態に係る構成では、複数のアイドルフレームの送信を連続して行う場合でも、フレーム15のデータ部17(ヌルデータ)を送信する期間では、CPU1から送信FIFOメモリ2へのデータの書き込みが行われず、ヌルデータ発生器7からのヌルデータが切替回路8を介してトランスミッタ5へ送出される。

【0249】これにより、アイドルフレームを送信する場合に、CPU1と送信FIFOメモリ2との間のデータ受渡しの処理を少なくできるので、通信に係るCPU1の負荷を低減することができる。

【0250】さらに、切替回路81を備えたことにより、連続して送信する複数のアイドルフレームの最初のアイドルフレームのフレームヘッダおよびフレームチェックのみを送信FIFOメモリ2へ書き込んでおけば、このフレームヘッダおよびフレームチェックが切替回路81へ再度書き込まれて繰り返し使用される。

【0251】従って、CPU1が2個目以降のアイドルフレームのフレームヘッダおよびフレームチェックを送信FIFOメモリ2へ書き込む必要がないので、CPU1と送信FIFOメモリ2との間のデータ受渡しの処理をさらに少なくできるので、通信に係るCPU1の負荷をさらに低減することができる。

【0252】〔実施の形態9〕本発明の実施に係る他の形態について、図15ないし図19に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0253】本実施の形態に係る通信装置は、図16に示すように、フレームヘッダ16、データ部17、およびフレーム終わりのFCS等のフレームチェック18からなるフレーム15のように、フレーム形式のデジタルデータを通信回線から受信するものである。なお、上記の通信回線はデジタル方式の回線であれば、有線あるいは無線のいずれであっても良い。

【0254】まず、本実施形態に係る通信装置の構成について、図15を参照しながら説明する。本通信装置は、CPU31と、通信回線からのデータを受信するための受信器とによって構成されている。受信器は、レシーバ35と、受信データを一時的に保持する受信FIFOメモリ32と、上記受信FIFOメモリ32の状態を監視するFIFOメモリ監視回路33と、上記受信FIFOメモリ32からデータを読み出すタイミングを制御する受信タイミング発生回路34と、CPU31からのコマンドを格納するコマンドレジスタ36とを備えている。

【0255】受信FIFOメモリ32は、例えばRAM(Random Access Memory)によって構成される。受信FIFOメモリ32は、受信クロックに同期して書き込まれたデータを、レシーバ35を経由して通信回線から受信した状態のまま保持する。なお、上記の受信クロックは、通信回線に適合した通信クロックを受けた受信タイミング発生回路34から供給される。

【0256】また、受信FIFOメモリ32は、FIFOメモリ監視回路33へFIFO監視信号を供給する。上記のFIFO監視信号には、図17に示すように、受信FIFOメモリ32が保持しているデータ数が受信FIFOメモリ32の容量に占める割合を表す情報等が含まれている。

【0257】FIFOメモリ監視回路33は、上記FIFO監視信号に応じて、CPU31へFIFO割込みを発生する。CPU31は、FIFO割込みを受けて、受信FIFOメモリ32から受信データの読み出しを行う。

【0258】受信タイミング発生回路34は、レシーバ35からの通信クロックに基づいて、受信FIFOメモリ32へ受信データを書き込むタイミングを決定し、受信クロックとして受信FIFOメモリ32へ供給する。

【0259】以上のような構成を備えた通信装置において、通信回線からデータを受信する場合の処理について、受信されたフレーム15が、データ部17に有意データを含む通常フレームの場合と、データ部17にヌルデータのみを含むアイドルフレームの場合とに分けて、以下に説明する。

【0260】(通常フレームの受信) フレーム受信は、図17に示すように、FIFOメモリ監視回路33が、受信FIFOメモリ32から“スレッシュヒット”のステータス表示を受けて、CPU31へFIFO割込みをかけることにより開始される。

【0261】なお、上記の“スレッシュヒット”とは、受信FIFOメモリ32に保持されているデータ数が閾値kとなったときに、受信FIFOメモリ32からのFIFO監視信号として、FIFOメモリ監視回路33へ送られる。

【0262】このように、FIFO割込みが発生すると、図18に示すように、CPU31は、まず、受信FIFOメモリ32が空か否かのチェックを行う(S31)が、CPU31が受信FIFOメモリ32に書き込まれた最後のデータの読み出しを既に完了した場合には、受信FIFOメモリ32が空となっているので(S31にてYES)、読み出し処理を終了し、再び割込みが発生するのを待つ。

【0263】一方、受信FIFOメモリ32にデータが残っている場合(S31にてNO)には、CPU31は、受信FIFOメモリ32からデータの読み出しを行う(S32)。

【0264】続いて、CPU31は、アイドルフレームを検出したか否かのチェックを行う(S33)。なお、各フレームのフレームヘッダには、各種の制御情報が含まれているので、フレームヘッダを調べることにより、受信FIFOメモリ32に保持されているフレームがアイドルフレームか否かを判断することができる。ここでは、有意データを含む通常フレームの受信を想定しているので、チェックの結果はNOとなり、S36へ進む。

【0265】S36では、受信FIFOメモリ32の閾値kの初期化の処理を行い、S31へ戻る。なお、ここでは、上記閾値kは割込みが発生したときから変更されていないので、初期化されても閾値kに変化は生じない。

【0266】以上の処理を、CPU31が受信FIFOメモリ32に書き込まれた最後のデータの読み出しを完了することによって受信FIFOメモリ32が空になるまで(S31にてYES)繰り返す。

【0267】なお、フレーム長よりも受信FIFOメモリ32の深度nが浅い場合には、フレームの途中で受信FIFOメモリ32のステータスが“エンプティ”となるので、受信FIFOメモリ32からのフレームの読み出しを一旦中断し、読み出し処理を終了する。

【0268】受信FIFOメモリ32からのデータの送り出しは、CPU31からの読み出しとは独立して実行されている。図19に示すように、フレーム受信が開始されると、受信タイミング発生回路34は、まず、受信したデータがフレーム途中のデータであるか否かのチェックを行う(S41)。

【0269】最初は、受信したデータはフレームの先頭データ(フレームヘッダ16)であるので(S41にてYES)、このデータは、レシーバ35から受信FIFOメモリ32へ書き込まれる(S42)。

【0270】次に、受信タイミング発生回路34は、ヌルデータの受信が開始されたか否かのチェックを行うが(S43)、ここでは、有意データを含む通常フレームの受信を想定しているので、チェックの結果はNOとなり、S41へ戻る。

【0271】フレーム長よりも受信FIFOメモリ32の深度nが浅い場合には、図18から明らかなように、CPU31は受信FIFOメモリ32からの読み出しを一時中断するので、受信FIFOメモリ32への受信データの書き込みが進んで、フレーム受信完了より以前に、受信FIFOメモリ32に残っているデータ数がkとなる。

【0272】このとき、FIFOメモリ監視回路33は、受信FIFOメモリ32から“スレッシュヒット”のステータス表示を受けて、CPU31へのFIFO割込みを発生する。CPU31は、上記のFIFO割込みを受けて、受信FIFOメモリ32からのフレーム15の残りデータの読み出しを再開する。

【0273】以上のように、通常フレームを受信する場合には、受信FIFOメモリ32のステータスに応じてFIFO割込みが発生することにより、受信FIFOメモリ32への受信データの書込みと受信FIFOメモリ32からのデータの読み出しとが拮抗して、フレーム15のすべての受信を完了する。

【0274】(アイドルフレームの受信)次に、フレーム15のデータ部17がヌルデータのみからなるアイドルフレームの受信について説明する。

【0275】本実施形態に係る通信装置では、受信したフレーム15がアイドルフレームの場合、受信タイミング発生回路34は、コマンドレジスタ36に保持されたCPU31からのヌルスキップコマンドに従って、図16において「アイドルフレーム受信時」に示すように、フレーム15内のデータ部17(ヌルデータ)の受信を開始するタイミングで、レシーバ35から受信FIFOメモリ32へのデータの書込みを一時中断(OFF)する。

【0276】そして、ヌルデータ期間の終了後に、レシーバ35から受信FIFOメモリ32への受信データの書込みを再開(ON)する。

【0277】すなわち、本通信装置では、アイドルフレームのフレームヘッダおよびフレームチェックのみをレシーバ35から受信FIFOメモリ32へ書き込むが、データ部17に含まれるヌルデータについては受信FIFOメモリ32へ書き込まない。従って、アイドルフレーム内のヌルデータの期間において、受信器とCPU31との間でデータの受渡しの処理は行われないこととなる。

【0278】ここで、図18および図19に示すフローチャートを参照しながら、上述の処理についてより詳しく説明する。

【0279】フレーム受信は、FIFOメモリ監視回路33が、受信FIFOメモリ32から“スレッシュヒット”のステータス表示を受けて、FIFO割込みをCPU31へかけることにより開始される。

【0280】図17に示すようにFIFO割込みが発生すると、CPU31は、まず、受信FIFOメモリ32が空か否かのチェックを行う(S31)が、CPU31が受信FIFOメモリ32に書き込まれた最後のデータを読み出した後は、受信FIFOメモリ32が空となっているので(S31にてYES)、ここで読み出し処理を終了し、再び割込みが発生するのを待つ。

【0281】一方、受信FIFOメモリ32にデータが残っている場合(S31にてNO)には、CPU31は、受信FIFOメモリ32からのデータの読み出しを行う(S32)。

【0282】続いて、CPU31は、アイドルフレームを検出したか否かのチェックを行う(S33)。ここでは、ヌルデータを含むアイドルフレームの受信を想定し

ているので、次のS34へ移行する。なお、各フレームのフレームヘッダには各種の制御情報が含まれているので、フレームヘッダを調べることにより、受信FIFOメモリ32に保持されているフレームがアイドルフレームか否かを判断することができる。また、上記フレームヘッダに基づいて、ヌルデータの長さを検出することもできる。

【0283】S34では、CPU31はヌルスキップコマンドを発行する。この時点において受信FIFOメモリ32に保持されているデータは、CPU31に既知のヌルデータであるので、受信FIFOメモリ32から破棄しても構わない。

【0284】フレーム長よりも受信FIFOメモリ32の深度nが浅い場合には、受信FIFOメモリ32の内容すべてがクリアされると共に、フレーム15のフレームチェック18の受信が始まるまで、レシーバ35から受信FIFOメモリ32へのデータの書込みは中断される。

【0285】次に、FIFOメモリ監視回路33(閾値変更手段)は、受信FIFOメモリ32の閾値kの変更を行う(S35)。つまり、受信FIFOメモリ32の閾値kを、次に受信するフレーム15のフレームヘッダ16を受信したときにCPU31に対してFIFO割込みが発生するような値に変更しておくことで、アイドルフレームが連続する場合には、CPU31に割込みがかかる度に効率的にヌルデータのスキップを行うことが可能となる。

【0286】また、受信FIFOメモリ32からのデータの送り出しは、通常フレームの受信の場合と同様に、CPU31によるデータの読み出しとは独立して実行されている。図19に示すように、フレーム受信が開始されると、受信タイミング発生回路34は、まず、受信したデータがフレーム途中のデータであるか否かのチェックを行う(S41)。

【0287】最初は、受信したデータはフレームの先頭データ(フレームヘッダ16)であるので(S41にてYES)、このデータは、受信FIFOメモリ32へ書き込まれる(S42)。

【0288】次に、受信タイミング発生回路34は、ヌルデータの受信が開始されたか否かのチェックを行うが(S43)、ここでは、ヌルデータを含むアイドルフレームの受信を想定しているため、チェックの結果はYESとなり、S44へ進む。

【0289】S44では、通信回線から受信したデータの受信FIFOメモリ32への書込みを一時中断することにより、ヌルデータのスキップを行う。

【0290】レシーバ35がヌルデータの受信を行っている間は、CPU31による受信FIFOメモリ32からのデータの読み出しは行われないので、FIFO割込みは発生しない。

【0291】次に、ヌルデータの受信が完了したか否かのチェックを行い（S45）、ヌルデータの受信が完了していれば（S45にてYES）、S41へ戻って通信回線から受信したデータの受信FIFOメモリ32への書込みを再開する。

【0292】ここで、受信FIFOメモリ32からはヌルデータが破棄されているので、受信FIFOメモリ32の先頭にはフレームチェック18が書き込まれることとなる。これにより、フレーム15の受信が完了する。

【0293】以上のように、本実施形態に係る通信装置では、アイドルフレームの受信において、フレーム15におけるデータ部17すなわちヌルデータをレシーバ35が受信している期間は、レシーバ35から受信FIFOメモリ32へのデータの書込みが中断される。また、受信FIFOメモリ32からは、既に受信されたヌルデータが破棄される。

【0294】これにより、受信FIFOメモリ32からCPU31へヌルデータが送られることがないので、アイドルフレームの受信において、CPU31と受信FIFOメモリ32との間のデータ受渡しの処理を少なくすることが可能となり、通信に係るCPU31の負荷を軽減することができる。

【0295】また、本実施形態の通信装置におけるCPU31は、自らが過負荷となって受信データの処理が行えなくなった場合、フレーム受信のタイミングを維持したまま無条件にデータを破棄するために、ヌルスキップコマンドを発行する。

【0296】この場合、受信タイミング発生回路34は、CPU31から発行されてコマンドレジスタ36に保持されているヌルスキップコマンドに従って、データが有意であっても、フレーム15内のデータ部17を受信するタイミングで、通信回線から受信FIFOメモリ32へのデータの書込みを中断する。

【0297】なお、CPU31は、過負荷状態が解消されると、ヌルスキップコマンドを取下げると、次のフレームから、受信FIFOメモリ32への書込みが再開される。

【0298】なお、CPU31の過負荷状態は、圧縮処理された画像データを受信して、これを伸長しながら画面表示を行っている間に、ユーザがキー入力を行うというように、複数のプロセスが重複したときに発生するものである。

【0299】このような時は、通信に係る割込み処理が履行されるまでの時間がかかり、その後の処理が間に合わなくなってくるので、上述のように、受信データをヌルスキップにより廃棄してしまい、できるだけ通信以外の処理を早く終わらせるようにすることが有効である。

【0300】なお、廃棄されたデータについては、通信の上位プロトコルでの再送手順にて復旧することができるので、ユーザには、データ通信速度が遅くなったよう

に見えるだけである。

【0301】通信以外の処理が終わると、通信に係る割込み処理が履行されるまでの所要時間が通常に戻るので、ヌルスキップコマンドを取り下げて、受信データの処理を再開すれば良い。

【0302】以上のように、本実施形態に係る通信装置では、CPU31が発行するヌルスキップコマンドを保持しておくことで、このヌルスキップコマンドが取り下げられるまでの間に受信されたデータはすべて受信FIFOメモリ32から破棄される。これにより、CPU31は受信フレームのフレームヘッダとフレームチェックの処理を行うだけでよく、過負荷時にCPU31と受信FIFOメモリ32との間のデータ受渡しの処理を少なくすることが可能となる。この結果、通信にかかるCPU31の負荷を低減することができる。

【0303】〔実施の形態10〕本発明の実施に係る他の形態について、図20に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0304】本実施形態に係る通信装置は、図20に示すように、実施の形態9で説明した通信装置からコマンドレジスタ36を省き、受信データ監視回路43をさらに備えた構成となっている。

【0305】受信データ監視回路43は、レシーバ35を介して受信したフレームのフレームヘッダ情報から、同フレームにヌルデータが含まれるか否かを検出し、ヌルデータが含まれる場合には、ヌルスキップコマンドを受信タイミング発生回路34へ与えることによって、レシーバ35がフレームヘッダ部分の受信を完了した時点で、受信FIFOメモリ32へのデータの書込みを中断する。

【0306】また、受信データ監視回路43は、レシーバ35がヌルデータの受信を終了した後は、一時中断していた受信FIFOメモリ32へのデータの書込みを再開する。

【0307】以上のように、本実施形態の構成は、受信データ監視回路43が、受信したフレームにヌルデータが含まれる場合にヌルスキップコマンドを発行するので、前記した実施の形態9で説明した構成と比較して、CPU31がヌルスキップコマンドを発行する必要がない。これにより、CPU31と受信FIFOメモリ32との間のデータ受渡しの処理を少なくすることができ、通信にかかるCPU31の負荷を低減することができる。

【0308】〔実施の形態11〕本発明の実施に係る他の形態について、図21に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0309】本実施形態に係る通信装置は、実施の形態9で説明した装置に、データカウンタ40（計数手段）を追加した構成である。

【0310】CPU31は、受信FIFOメモリ32から読み出したフレームヘッダの情報に基づいて、次フレームが長さLのヌルデータを含むアイドルフレームであることを検出すると、ヌルスキップコマンドを発行する前に、データカウンタ40にヌルデータの長さLを初期値としてあらかじめ与える。

【0311】受信タイミング発生回路34は、コマンドレジスタ36に保持されたヌルスキップコマンドに従って、図16において「アイドルフレーム受信時」に示すように、レシーバ35がフレーム内のヌルデータの受信を開始するタイミングで、レシーバ35から受信FIFOメモリ32へのデータの書込みを一時中断（OFF）する。

【0312】同時に、受信タイミング発生回路34は、データカウンタ40に対して、受信クロックに同期したカウントタイミングの供給を開始する。

【0313】データカウンタ40では、ヌルデータの1単位を受信するために要する時間が経過する度に、初期値Lから1ずつ減じていき、0になったところで、ヌルデータ受信期間の終了を受信タイミング発生回路34へ通知する。

【0314】受信タイミング発生回路34は、ヌルデータ期間の終了の通知を受けて、一時中断していたレシーバ35から受信FIFOメモリ32への受信データの書込みを再開する。

【0315】これにより、図16に示すフレーム15内のデータ部17の長さが可変である場合でも、アイドルフレームの受信の際に、レシーバ35がデータ部17（ヌルデータ）の受信を行っている間、CPU31と受信FIFOメモリ32との間のデータ受渡しの処理を少なくすることができる。この結果、通信にかかるCPU31の負荷の低減を実現することができる。

【0316】また、長さLのヌルデータの内の長さMのデータが、受信FIFOメモリ32に既書き込まれている場合には、受信FIFOメモリ32から長さMのヌルデータを破棄すると共に、(L-M)をパラメータとしたヌルスキップコマンドを発行することにより、(L-M)のヌルデータをスキップするような構成としても良い。

【0317】〔実施の形態12〕本発明の実施に係る他の形態について、図22に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0318】本実施形態に係る通信装置は、実施の形態11で説明した装置にさらに加えて、データ長レジスタ39および比較回路41を備えた構成である。

【0319】CPU31は、受信FIFOメモリ32から読み出したフレームヘッダの情報に基づいて、次フレームが長さLのヌルデータを含むアイドルフレームであることを検出すると、ヌルスキップコマンドを発行する前に、ヌルデータの長さLを、データ長レジスタ39に初期値として与える。

【0320】受信タイミング発生回路34は、コマンドレジスタ36に保持されたヌルスキップコマンドに従って、図16において「アイドルフレーム受信時」に示すように、レシーバ35がフレーム内のヌルデータの受信を開始するタイミングで、レシーバ35から受信FIFOメモリ32へのデータの書込みを一時中断（OFF）する。

【0321】同時に、受信タイミング発生回路34は、データカウンタ40に対して、受信クロックに同期したカウントタイミングの供給を開始する。

【0322】データカウンタ40では、ヌルデータの1単位を受信するために要する時間が経過する度に、初期値0に1ずつ加算する。比較回路41は、データカウンタ40とデータ長レジスタ39との値を比較し、これらの値が等しくなったところで、ヌルデータ受信期間の終了を、受信タイミング発生回路34へ通知する。

【0323】受信タイミング発生回路34は、ヌルデータ受信期間の終了の通知を受けて、一時中断していたレシーバ35から受信FIFOメモリ32への受信データの書込みを再開する。

【0324】これにより、図16に示すフレーム15内のデータ部17の長さが可変である場合でも、アイドルフレームの受信の際に、レシーバ35がデータ部17（ヌルデータ）の受信を行っている間、CPU31と受信FIFOメモリ32との間のデータ受渡しの処理を少なくすることができる。この結果、通信にかかるCPU31の負荷の低減を実現することができる。

【0325】〔実施の形態13〕本発明の実施に係る他の形態について、図23に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0326】本実施形態に係る通信装置は、実施の形態11で説明した通信装置にデータカウンタ42を追加した構成である。

【0327】CPU31は、受信FIFOメモリ32から読み出したフレームヘッダの情報に基づいて、次フレームが、先頭からM番目以降に長さLのヌルデータを含むアイドルフレームであることを検出すると、ヌルスキップコマンドを発行する前に、ヌルデータの開始番地Mをデータカウンタ40へ初期値として与える。CPU31は、同様に、ヌルデータの長さLを、データカウンタ42へ初期値として与える。

【0328】受信タイミング発生回路34は、コマンド

レジスタ36に保持されたヌルスキップコマンドに従って、レシーバ35がフレーム内のヌルデータの受信を開始するタイミングで、データカウンタ40へ、受信クロックに同期したカウントタイミングの供給を開始する。

【0329】データカウンタ40では、ヌルデータの1単位を受信するために要する時間が経過する度に、初期値Mから1ずつ減じていき、0になったところで、ヌルデータの受信開始を受信タイミング発生回路34へ通知する。

【0330】この通知を受けて、受信タイミング発生回路34がレシーバ35から受信FIFOメモリ32へのデータの書込みを一時中断させることにより、図16において「アイドルフレーム受信時」に示すように、レシーバ35がフレーム内のヌルデータの受信を開始するタイミングで、ヌルデータのスキップ（受信FIFOメモリ32への書込みをOFF）が開始される。

【0331】同時に、受信タイミング発生回路34は、データカウンタ42に対して、受信クロックに同期したカウントタイミングの供給を開始する。

【0332】データカウンタ42では、ヌルデータの1単位を受信するために要する時間が経過する度に、初期値Lから1ずつ減じていき、0になったところで、ヌルデータの受信期間の終了を、受信タイミング発生回路34へ通知する。

【0333】受信タイミング発生回路34は、ヌルデータ受信期間の終了の通知を受けて、一時中断していたレシーバ35から受信FIFOメモリ32への受信データの書込みを再開する。

【0334】これにより、図16に示すフレーム15内のデータ部17の開始位置および長さが可変である場合でも、アイドルフレームの受信の際に、レシーバ35がデータ部17（ヌルデータ）の受信を行っている間、CPU31と受信FIFOメモリ32との間のデータ受渡しの処理を少なくすることができる。この結果、通信にかかるCPU31の負荷の低減を実現することができる。

【0335】〔実施の形態14〕本発明の実施に係る他の形態について、図24に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0336】本実施形態に係る通信装置は、図24に示すように、実施の形態9で説明した通信装置に加えて、電源制御クロック供給回路44を備えた構成である。

【0337】本通信装置では、通信回線からアイドルフレーム内のヌルデータが送信される期間は、受信タイミング発生回路34からの「ヌル受信期間」の通知により、電源制御クロック供給回路44が、レシーバ35への電源供給を停止する。

【0338】また、電源制御クロック供給回路44は、

レシーバ35への電源供給を停止している間、電源供給時にレシーバ35を介して通信回線から受信タイミング発生回路34へ与えられる受信クロックを補償するために、受信タイミング発生回路34へ受信クロックを供給するようになっている。

【0339】以上のように、本通信装置は、通信回線からアイドルフレーム内のヌルデータが送信される期間、レシーバ35への電源供給を停止することにより、ヌルデータをスキップするようになっている。

【0340】これにより、アイドルフレームの受信時におけるCPU31と受信FIFOメモリ32との間のデータ受渡しの処理が少なくなり、通信に係るCPU31の負荷の低減を実現できる。

【0341】〔実施の形態15〕本発明の実施に係る他の形態について、図25に基づいて説明すれば、以下のとおりである。なお、前記した各実施の形態で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0342】本実施形態に係る通信装置は、実施の形態14に係る通信装置に、受信データの正当性をフレームの後に付けられたフレームチェックシーケンスで判定して、フレームチェック報告をフレームの最後に出力するフレームチェック検査回路38と、CPU31がフレームチェック検査回路38の出力をデータバスから読み出すために一時保持を行うステータスレジスタ37、及びアイドルフレーム時のフレームチェック部分をフレームチェック検査回路38を迂回させるためのバイパス回路45（迂回手段）を追加した構成である。

【0343】本通信装置は、通信回線からアイドルフレーム内のヌルデータが送信される期間は、受信タイミング発生回路34からの「ヌル受信期間」の通知により、電源制御クロック供給回路44が、レシーバ35への電源供給を停止すると共に、ヌル受信期間が終了した時点で、通信回線から送信されてくる当該アイドルフレームのフレームチェックを、フレームチェック検査回路38を迂回してバイパス回路45を経由して受信FIFOメモリ32へ書き込むようにデータ切替制御を行うことを特徴とする。

【0344】これにより、ヌルデータをスキップしたことによってフレームチェック検査回路38でエラーが生じることを防止する。

【0345】以上のように、本通信装置は、通信回線からアイドルフレーム内のヌルデータが送信される期間、レシーバ35への電源供給を停止することにより、ヌルデータをスキップすると共に、上記ヌルデータのスキップによってフレームチェック検査回路38でエラーが生じないようにしている。

【0346】これにより、アイドルフレームの受信時におけるCPU31と受信FIFOメモリ32との間のデータ受渡しの処理が少なくなり、通信に係るCPU31

の負荷の低減を実現できる。

【0347】

【発明の効果】以上のように、請求項1記載の発明に係る通信装置は、データを作成するCPUと、通信回線へデータを送信する送信器とを備え、上記データをフレーム形式で上記通信回線へ送出する通信装置において、上記送信器が、通信回線へデータを送出するトランスミッタと、CPUからのデータを一時的に保持してトランスミッタへ順次転送するFIFOメモリと、ヌルデータを生成するヌルデータ発生器と、FIFOメモリおよびヌルデータ発生器と、トランスミッタとの間に設けられ、FIFOメモリおよびヌルデータ発生器のいずれか一方のデータをトランスミッタへ送出する切替手段と、上記切替手段を制御して、アイドルフレームにおけるヌルデータを送出すべき期間は、FIFOメモリからのデータの送出を中断し、ヌルデータ発生器からのヌルデータをトランスミッタへ送出させる送信タイミング発生手段とを備えた構成である。

【0348】上記の構成によれば、アイドルフレームを送出する場合、フレームヘッダやフレームチェック等はCPUからFIFOメモリを介して送出されるが、アイドルフレームに含まれるヌルデータは、CPUおよびFIFOメモリを介することなく通信回線へ送出される。これにより、ヌルデータを送出している間、CPUが他の処理を行うことが可能となる。それゆえ、通信におけるCPUの負荷を軽減することができるという効果を奏する。

【0349】請求項2記載の通信装置は、請求項1に記載の構成において、上記送信器が、送信FIFOメモリが空になったときにCPUへ割込みをかけるべく、FIFOメモリの状態を監視するFIFOメモリ監視手段をさらに備えると共に、CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出した後FIFOメモリへのデータの送出を中断し、次にFIFOメモリ監視手段から割込みが生じたときに、ヌルデータを送出すべき期間の開始を指示するヌル送信コマンドを送信タイミング発生手段へ送る構成である。

【0350】上記の構成によれば、次に送出すべきデータがアイドルフレームである場合、FIFOメモリが空になったときに発生する割込みを受けてCPUが発行するヌル送信コマンドに基づいて、送信タイミング発生手段が切替制御を行い、CPUおよびFIFOメモリを介さずに、ヌルデータ発生器からのヌルデータの送出を開始するようになっている。それゆえ、アイドルフレームを送信する場合、ヌルデータを送出している間は、CPUは他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができるという効果を奏する。

【0351】請求項3記載の通信装置は、請求項1に記

載の構成において、CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出した後FIFOメモリへのデータの送出を中断すると共に、次のフレームがヌルデータを含むことを示すヌル送信コマンドを送信器に与え、送信タイミング発生手段が、ヌル送信コマンドを受けて、次にFIFOメモリが空になったときを、ヌルデータを送出すべき期間の開始時点とする構成である。

【0352】上記の構成によれば、送信タイミング発生手段が、CPUが発行するヌル送信コマンドとFIFOメモリの状態とに基づき、ヌルデータの送信を開始すべき適切なタイミングで切替手段に対して切替制御を行うことによって、CPUおよびFIFOメモリを介さずに、ヌルデータ発生器からヌルデータの送出を開始するようになっている。それゆえ、アイドルフレームを送信する場合、ヌル送信コマンドを発行した後は、CPUは他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができるという効果を奏する。

【0353】請求項4記載の通信装置は、請求項1に記載の構成において、CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出すると共に、上記ヌルデータの送出の開始を指示するヌル送信コマンドを発行し、送信タイミング発生手段が、ヌル送信コマンドを受けて、上記アイドルフレームの送出を開始した後の所定のタイミングを、ヌルデータを送出すべき期間の開始時点とする構成である。

【0354】上記の構成によれば、アイドルフレーム内のヌルデータの開始位置が所定の位置にある場合に、CPUがヌルデータの送出開始のタイミングを指示することなく、所定のタイミングでヌルデータ発生器からヌルデータの送出が行われる。また、上記ヌルデータの送出は、CPUおよびFIFOメモリを介さずに行われるので、この間、CPUは他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができるという効果を奏する。

【0355】請求項5記載の通信装置は、請求項1に記載の構成において、FIFOメモリから送出されるフレームのフレームヘッダを参照し、上記フレームがアイドルフレームであると判断した場合、送信タイミング発生手段へヌル送信コマンドを送る送信データ監視手段が、上記送信器にさらに設けられ、CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出し、送信タイミング発生手段が、送信データ監視手段からのヌル送信コマンドを受けると、上記フレームヘッダの送出を完了した時点、ヌルデータを送出すべき期間の開始時点とする構成である。

【0356】上記の構成によれば、フレームヘッダに含まれている情報を利用して送信されようとするフレームがアイドルフレームであるか否かを判断することができるので、CPUがヌルデータの送出開始のタイミングを指示することなく、所定のタイミングでヌルデータ発生器からヌルデータの送出が行われる。また、上記ヌルデータの送出は、CPUおよびFIFOメモリを介さずに行われるので、この間、CPUは他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができるという効果を奏する。

【0357】請求項6記載の通信装置は、請求項1に記載の構成において、アイドルフレームのヌルデータの長さが固定長である場合、送信タイミング発生手段が、ヌルデータ発生器からのヌルデータの送出を開始した後、送出されたヌルデータの長さが上記固定長と等しい所定の値になった時点で、ヌルデータ発生器からのヌルデータの送出を中断すると共にFIFOメモリからのデータの送出を再開するよう切替手段を制御する構成である。

【0358】上記の構成によれば、アイドルフレーム内のヌルデータの長さが固定長である場合には、CPUがヌルデータの送出終了のタイミングを指示することなく、所定のタイミングでFIFOメモリからのデータの送出が再開される。従って、CPUは、ヌルデータ発生器からのヌルデータの送信が行われている間は、他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができるという効果を奏する。

【0359】請求項7記載の通信装置は、請求項1に記載の構成において、上記送信器が、ヌルデータ発生器から送出されたヌルデータの長さを計数する計数手段をさらに備え、CPUが、アイドルフレームのヌルデータの長さを送信器に与え、送信タイミング発生手段が、上記計数手段によって計数されたヌルデータの長さとは等しくなった時点で、ヌルデータ発生器からのヌルデータの送出を中断すると共にFIFOメモリからのデータの送出を再開するよう切替手段を制御する構成である。

【0360】上記の構成によれば、アイドルフレーム内のヌルデータの長さが可変長である場合であっても、CPUがヌルデータの送出終了のタイミングを指示する必要がないので、CPUは、ヌルデータ発生器からのヌルデータの送信が行われている間は、他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができるという効果を奏する。

【0361】請求項8記載の通信装置は、請求項1に記載の構成において、CPUが、次に送出すべきデータがアイドルフレームである場合、上記アイドルフレームのフレームヘッダをFIFOメモリへ送出する際に、当該アイドルフレームのフレームチェックを併せてFIFO

メモリへ送出する構成である。

【0362】上記の構成によれば、CPUは、FIFOメモリへフレームヘッダおよびフレームチェックを書き込んだ後は、他の処理を行うことが可能となる。この結果、通信にかかるCPUの負荷を軽減することができるという効果を奏する。

【0363】請求項9記載の通信装置は、請求項1に記載の構成において、上記送信器が、ヌル送信コマンドが発行されている間、FIFOメモリから送出されたデータを、上記FIFOメモリへ再度書き込む再書き込み手段をさらに備え、CPUが、複数のアイドルフレームを連続して送出する場合、最初のアイドルフレームのフレームヘッダおよびフレームチェックをFIFOメモリへ書き込んだ後、FIFOメモリへのデータの送出を一時中断し、ヌルデータの送出を指示するヌル送信コマンドを継続して発行する構成である。

【0364】上記の構成によれば、CPUが、最初のアイドルフレームのフレームヘッダおよびフレームチェックのみをFIFOメモリへ書き込んでヌル送信コマンドを継続的に発行するだけで、複数のアイドルフレームの送信を連続して行うことができる。すなわち、CPUは、2番目以降のアイドルフレームのフレームヘッダおよびフレームチェックをFIFOメモリへ書き込む必要がない。この結果、複数のアイドルフレームを連続して送信する場合、通信にかかるCPUの負荷を軽減することができるという効果を奏する。

【0365】請求項10記載の通信装置は、請求項1に記載の構成において、CPUが、複数のアイドルフレームを連続して送出する場合、ヌルデータの送出を指示するヌル送信コマンドを発行すると共に、上記複数個分のフレームヘッダおよびフレームチェックを、FIFOメモリの容量が許容する範囲でFIFOメモリへあらかじめ送出する構成である。

【0366】上記の構成によれば、CPUは、送出すべきアイドルフレームのフレームヘッダおよびフレームチェックをFIFOメモリへ書き込んでヌル送信コマンドを発行するだけで、送信器から、複数のアイドルフレームが連続して通信回線へ送信されることとなる。すなわち、CPUは、ヌル送信コマンドを発行した後は、次にFIFOメモリからCPUへ割込みが起こるまで、他の処理を行うことができる。この結果、通信にかかるCPUの負荷を軽減することができるという効果を奏する。

【0367】請求項11記載の通信装置は、請求項1に記載の構成において、送信器が通常フレームおよびアイドルフレームの一方を継続して送出しているときに、次に送出すべきデータが通常フレームおよびアイドルフレームの他方である場合、CPUが、FIFOメモリへのヌル送信コマンドの送出もしくはヌル送信コマンドの取下げを行って、未送出のデータを破棄させる構成である。

【0368】これにより、通常フレームあるいはアイドルフレームの送信を連続して行っている間に、アイドルフレームあるいは通常フレームの送信を割り込ませることが可能となるという効果を奏する。

【0369】請求項12記載の通信装置は、請求項1に記載の構成において、上記送信器が、FIFOメモリの状態を監視し、FIFOメモリの占有率が閾値に達したときにCPUへ割込みをかけるFIFOメモリ監視手段と、上記閾値を変更する閾値変更手段とをさらに備え、上記閾値変更手段が、FIFOメモリからトランスミッタへのアイドルフレームのフレームヘッダの送出が完了したときに、CPUに割込みがかかるように上記閾値を変更すると共に、送信器からアイドルフレームの送出が完了したときに上記閾値を変更前の値に戻す構成である。

【0370】また、請求項13記載の通信装置は、フレーム構造を持つデータを通信回線から受信する受信器と、受信したデータを処理するCPUとを備えた通信装置において、上記受信器が、通信回線からデータを受け取るレシーバと、レシーバにて受け取ったデータを一時的に保持してCPUへ順次転送するFIFOメモリと、受信したデータがアイドルフレームである場合、アイドルフレーム内のヌルデータを受信する期間は、受信器からCPUへのデータの転送を一時中断する構成である。

【0371】これにより、ヌルデータを受信する期間において、CPUと受信器との間でデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減が実現されるという効果を奏する。

【0372】請求項14記載の通信装置は、請求項13に記載の構成において、CPUが、FIFOメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの後続データのFIFOメモリからの読み出しを中断すると共にヌルスキップコマンドを発行し、上記FIFOメモリが、上記ヌルスキップコマンドが与えられると、保持しているヌルデータを破棄する構成である。

【0373】これにより、アイドルフレームのヌルデータは、FIFOメモリからCPUへ送出されることなく破棄されるので、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減を図ることができるという効果を奏する。

【0374】請求項15記載の通信装置は、請求項13に記載の構成において、上記受信器が、受信したデータの長さを計数する計数手段をさらに備え、CPUが、FIFOメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの後続データのFIFOメモリからの読み出し

を中断すると共にヌルスキップコマンドを発行し、上記受信タイミング発生手段が、CPUからヌルスキップコマンドが与えられた時点から上記計数手段で示されるヌルデータ期間の終了まで、FIFOメモリへのデータの転送を一時中断するようレシーバを制御する構成である。

【0375】これにより、アイドルフレームのヌルデータは、FIFOメモリからCPUへ送出されないの、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減を図ることができるという効果を奏する。

【0376】請求項16記載の通信装置は、請求項13に記載の構成において、CPUが、FIFOメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの内容からヌルデータの長さを検出し、ヌルデータの長さをNとし、レシーバが通信回線から既に受け取ったデータ長をMとすると、 $(N-M)$ をパラメータとしたヌルスキップコマンドを発行し、上記受信タイミング発生手段が、CPUから上記ヌルスキップコマンドが与えられてから、長さ $(N-M)$ のヌルデータを受信するために必要な時間が経過するまで、FIFOメモリへのデータの転送を一時中断するようレシーバを制御する構成である。

【0377】これにより、アイドルフレームのヌルデータがFIFOメモリからCPUへ送出されないの、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減を図ることができるという効果を奏する。

【0378】請求項17記載の通信装置は、請求項13に記載の構成において、CPUが、FIFOメモリから読み出したフレームのフレームヘッダに基づいて、上記フレームがアイドルフレームか否かを判断し、アイドルフレームである場合には、上記フレームヘッダの内容からヌルデータの開始位置および長さを検出し、ヌルデータの開始位置を先頭からK番目、長さをNとすると、当該フレームの先頭から $(K-1)$ 番目のデータまでをFIFOメモリから読み出したときにFIFOメモリからのデータの読み出しを中断すると共に、Nをパラメータとしたヌルスキップコマンドを発行し、FIFOメモリが、上記ヌルスキップコマンドが与えられると、長さNのヌルデータを破棄する構成である。

【0379】これにより、アイドルフレームのヌルデータがFIFOメモリからCPUへ送出されないの、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減を図ることができるという効果を奏する。

【0380】請求項18記載の通信装置は、請求項13に記載の構成において、CPUがヌルスキップコマンドを発行すると、上記受信タイミング発生手段が、CPUから上記ヌルスキップコマンドが与えられてから、上記ヌルスキップコマンドが取り下げられるまで、FIFOメモリへのデータの転送を一時中断するようレシーバを制御する構成である。

【0381】これにより、例えばCPUが過負荷になった場合などに、アイドルフレームの受信時におけるCPUと受信器との間のデータの受渡しの処理を少なくすることができ、通信にかかるCPUの負荷の低減を図ることができるという効果を奏する。

【0382】請求項19記載の通信装置は、請求項13に記載の構成において、上記受信器が、FIFOメモリの状態を監視し、FIFOメモリの占有率が閾値に達したときにCPUへ割込みをかけるFIFOメモリ監視手段と、上記閾値を変更する閾値変更手段とをさらに備え、ヌルデータが通信回線から送信される期間は、上記閾値変更手段が、CPUに割込みがかからないように上記閾値を変更すると共に、上記期間の経過後に上記閾値を変更前の値に戻す構成である。

【0383】請求項20記載の通信装置は、請求項13に記載の構成において、上記受信器が、受信したフレームのフレームチェックを検査するフレームチェック検査部と、受信したデータを上記フレームチェック検査部を迂回させてFIFOメモリへ書き込む迂回手段とをさらに備え、アイドルフレームの受信時には、当該アイドルフレームのフレームチェックについては、上記迂回手段を経由してFIFOメモリへ書き込むことを特徴とする。

【0384】上記の構成によれば、アイドルフレームの受信時には、フレームチェック検査部を迂回してフレームチェックの検査を行わないことにより、ヌルデータをスキップすることによる受信エラーの発生を回避することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る通信装置の概略構成を示すブロック図である。

【図2】上記通信装置が送出するデータのフレーム構成の一例と、通常フレーム送信時およびアイドルフレーム送信時のそれぞれにおけるデータ切替制御のタイミングとを示す説明図である。

【図3】上記通信装置が備える送信FIFOメモリの占有率と、FIFOメモリ監視回路へ送出されるFIFO監視信号との関係を示す説明図である。

【図4】上記通信装置におけるCPUに対してFIFO割込みが生じた際の、上記CPUの動作を示すフローチャートである。

【図5】上記通信装置が備える送信タイミング発生回路の動作を示すフローチャートである。

【図6】同図(a)は、送信FIFOメモリの閾値を所定の値に固定する場合のタイミングチャートであり、同図(b)は、送信FIFOメモリの閾値を動的に変化させる場合のタイミングチャートである。

【図7】本発明の実施に係る第2の形態としての通信装置の概略構成を示すブロック図である。

【図8】本発明の実施に係る第3の形態としての通信装置の概略構成を示すブロック図である。

【図9】本発明の実施に係る第4の形態としての通信装置の概略構成を示すブロック図である。

【図10】本発明の実施に係る第5の形態としての通信装置の概略構成を示すブロック図である。

【図11】上記第5の形態に係る通信装置が送出するデータのフレーム構成の第2の例と、通常フレーム送信時およびアイドルフレーム送信時のそれぞれにおけるデータ切替制御のタイミングとを示す説明図である。

【図12】本発明の実施に係る第6の形態としての通信装置の概略構成を示すブロック図である。

【図13】本発明の実施に係る第7の形態としての通信装置の概略構成を示すブロック図である。

【図14】本発明の実施に係る第8の形態としての通信装置の概略構成を示すブロック図である。

【図15】本発明の実施に係る第9の形態としての通信装置の概略構成を示すブロック図である。

【図16】上記第9の形態に係る通信装置が受信するデータのフレーム構成と、通常フレーム受信時およびアイドルフレーム受信時のそれぞれにおけるデータ切替制御のタイミングとを示す説明図である。

【図17】上記の第9の形態に係る通信装置が備える受信FIFOメモリの占有率と、FIFOメモリ監視回路へ送出されるFIFO監視信号との関係を示す説明図である。

【図18】上記の第9の形態に係る通信装置が備えるCPUに対してFIFO割込みが生じた際の、上記CPUの動作を示すフローチャートである。

【図19】上記の第9の形態に係る通信装置が備える受信タイミング発生回路の動作を示すフローチャートである。

【図20】本発明の実施に係る第10の形態としての通信装置の概略構成を示すブロック図である。

【図21】本発明の実施に係る第11の形態としての通信装置の概略構成を示すブロック図である。

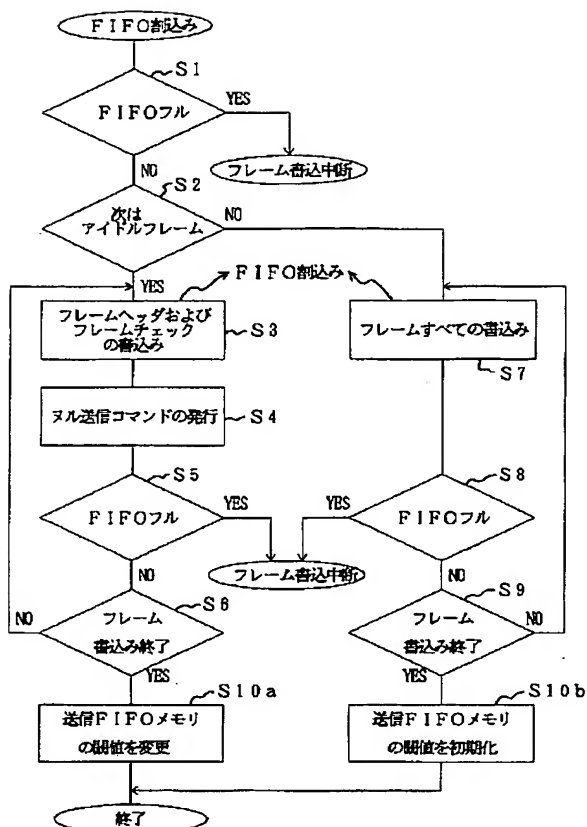
【図22】本発明の実施に係る第12の形態としての通信装置の概略構成を示すブロック図である。

【図23】本発明の実施に係る第13の形態としての通信装置の概略構成を示すブロック図である。

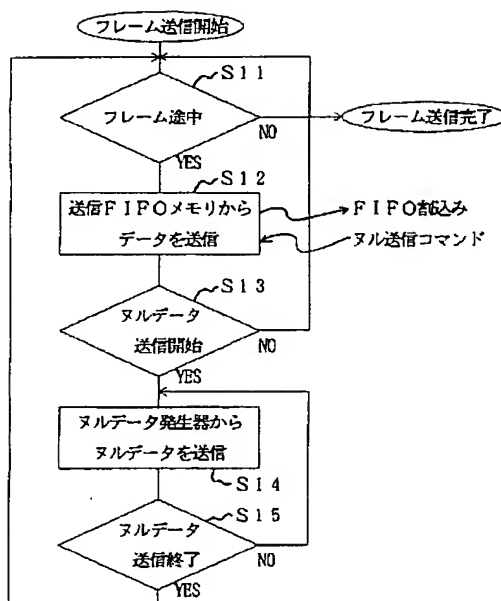
【図24】本発明の実施に係る第14の形態としての通信装置の概略構成を示すブロック図である。

【図25】本発明の実施に係る第15の形態としての通信装置の概略構成を示すブロック図である。

【図4】



【図5】



【図19】

【図6】

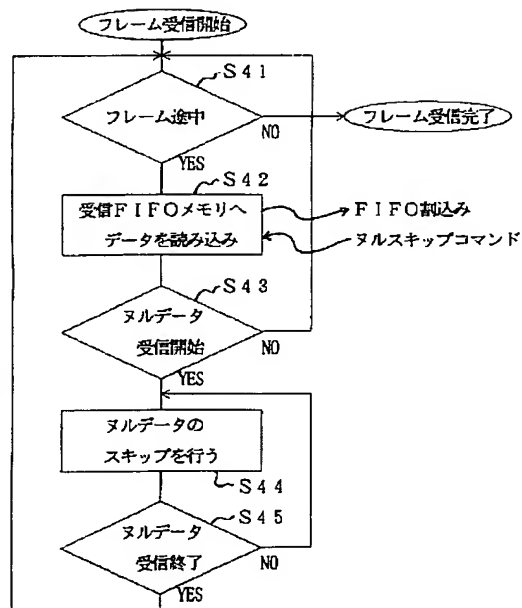
(a) 閾値が固定値(4バイト)の場合

フレーム番号	1	2	3	4	5
フレームの種類	通常	通常	アイドル	アイドル	通常
FIFO残りバイト数	4 3 10 9 8 7 6 5 4 3 2 1	3 3 3 3 3 3 3 2 1 9 9 9 9 9 8 8 7 6 5 4			
FIFO部読み	↓	↓	↓	↓	↓
CPU書き込み	↑	↑	↑	↑	↑
書き込みバイト数	8	2	2	0	8

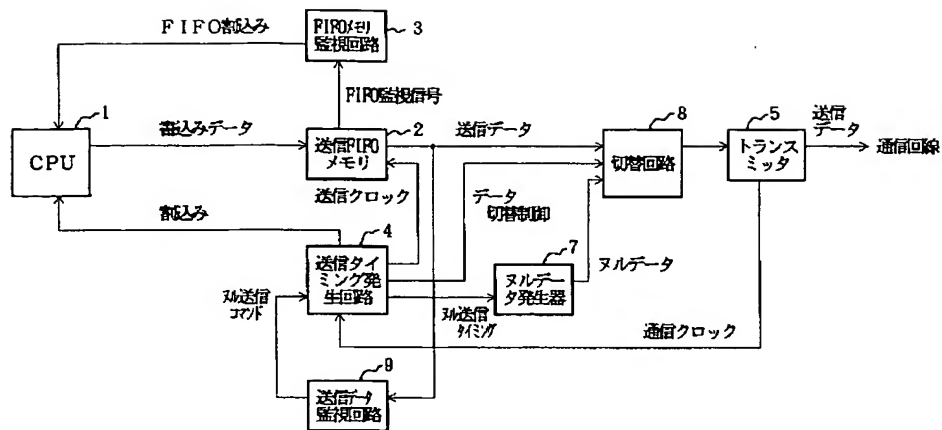
(*:既に4フレーム目は書き込み済みであり、この部読みは不要)

(b) 閾値が変更される場合

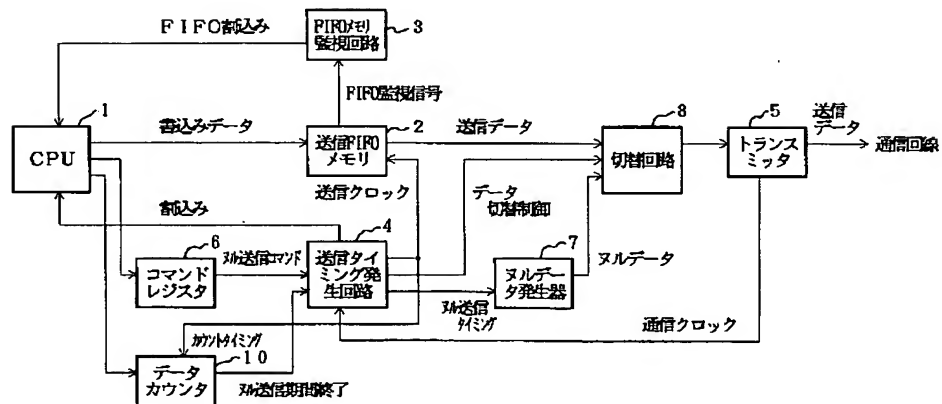
フレーム番号	1	2	3	4	5
フレームの種類	通常	通常	アイドル	アイドル	通常
FIFO残りバイト数	4 3 10 9 8 7 6 5 4 3 2 1	3 3 3 3 3 3 3 2 1 9 9 9 9 9 8 8 7 6 5 4			
FIFO部読み	↓	↓	↓	↓	↓
CPU書き込み	↑	↑	↑	↑	↑
書き込みバイト数	8	2	2	8	



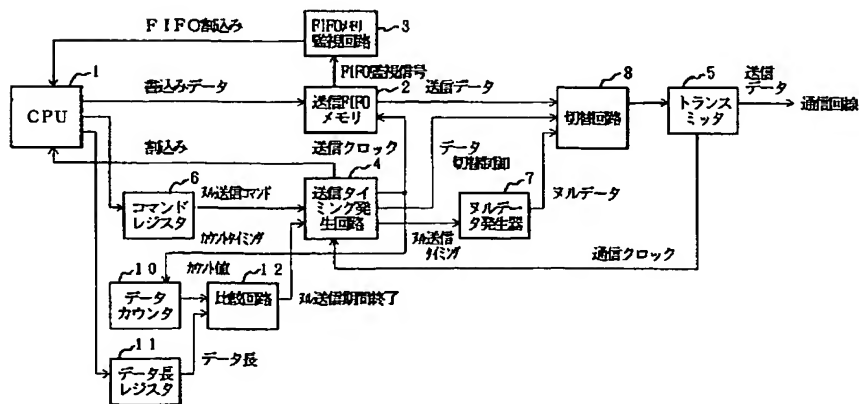
【図7】



【図8】



【図9】



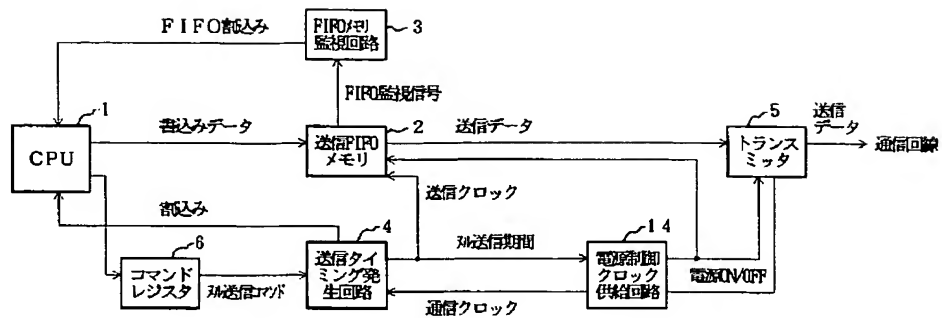
[illegible]

The diagram illustrates the structure of a frame and the control logic for its transmission. The frame structure at the top is divided into three main sections: 16: フレームヘッダ (Frame Header), 17: データ部 (Data Field), and 18: フレームチェック (Frame Check). The data field (17) has a length 'L'. A signal 'M' is shown entering the frame structure at the start of the data field.

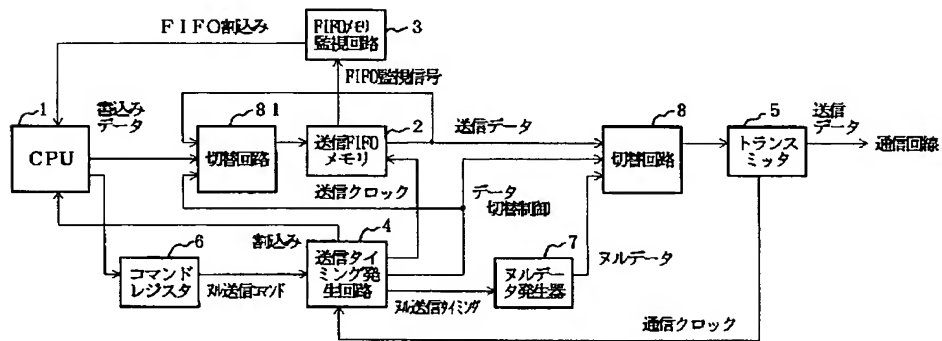
Below the frame structure, a control logic diagram shows the states of two components: 送信PIPOメモリ (Transmit PIPO Memory) and マルデータ発生器 (Multibyte Data Generator). The logic is divided into two main modes: 通常フレーム送信時 (Normal Frame Transmission) and アイドルフレーム送信時 (Idle Frame Transmission). In the normal mode, both components are ON/OFF. In the idle mode, the 送信PIPOメモリ is ON/OFF, and the マルデータ発生器 is ON/OFF.

Mode	送信PIPOメモリ	マルデータ発生器
通常フレーム送信時	ON	ON
	OFF	OFF
アイドルフレーム送信時	ON	ON
	OFF	OFF

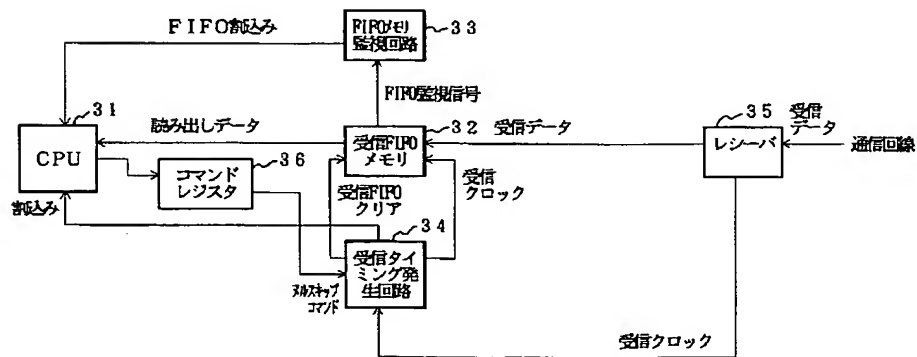
【図13】



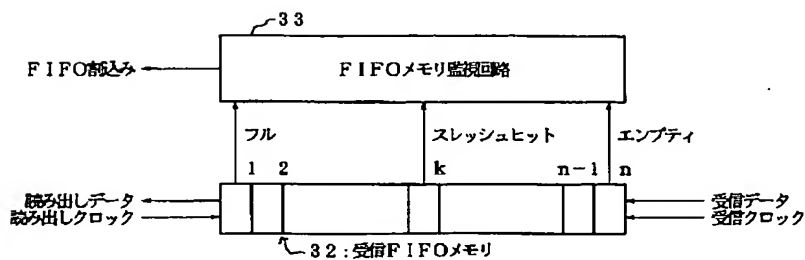
【図14】



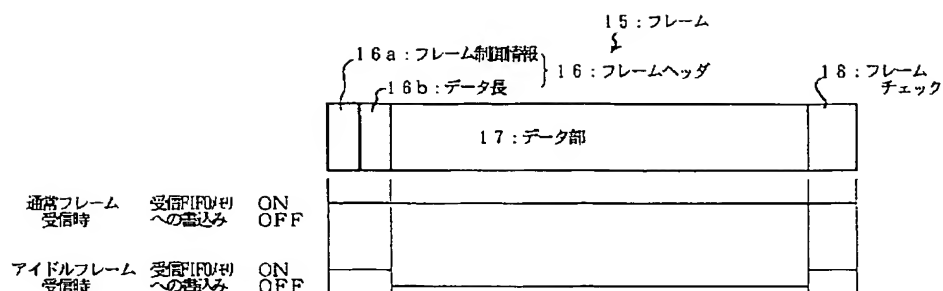
【図15】



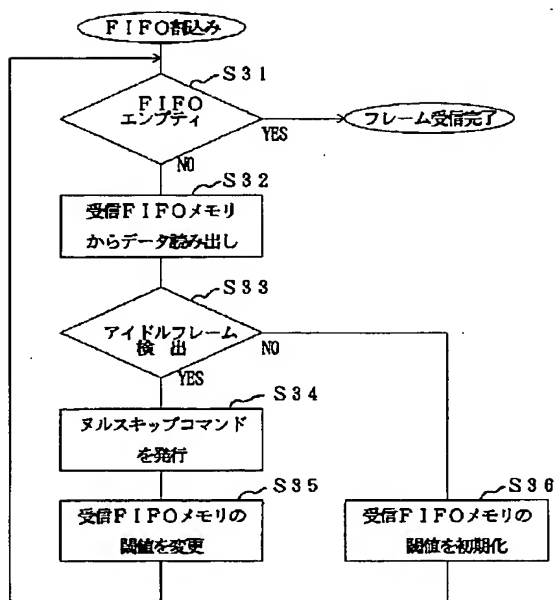
【図17】



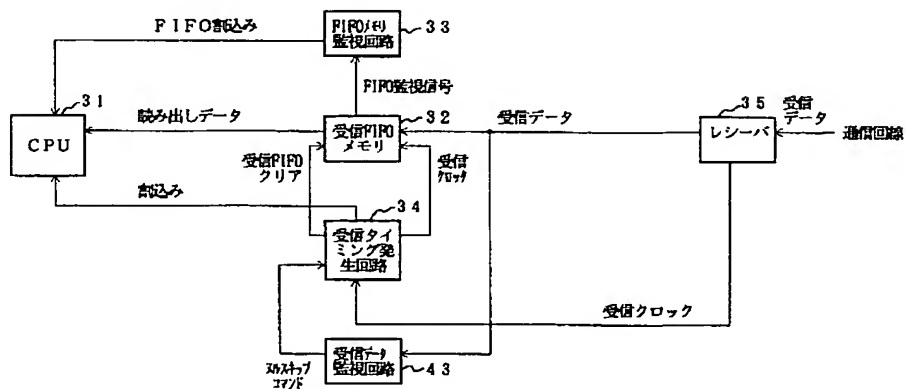
【图 16】



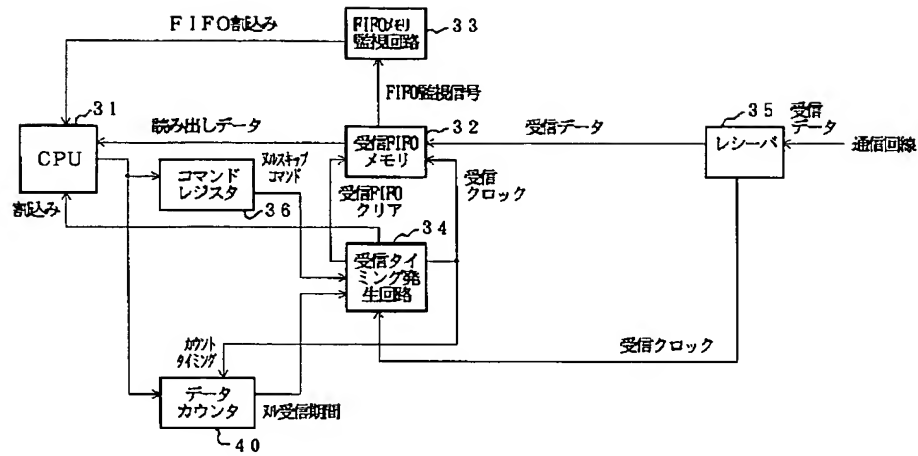
【图 18】



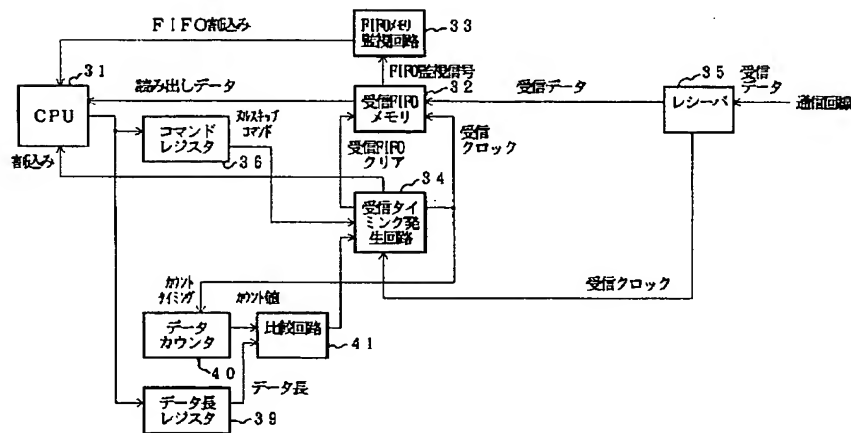
【図 20】



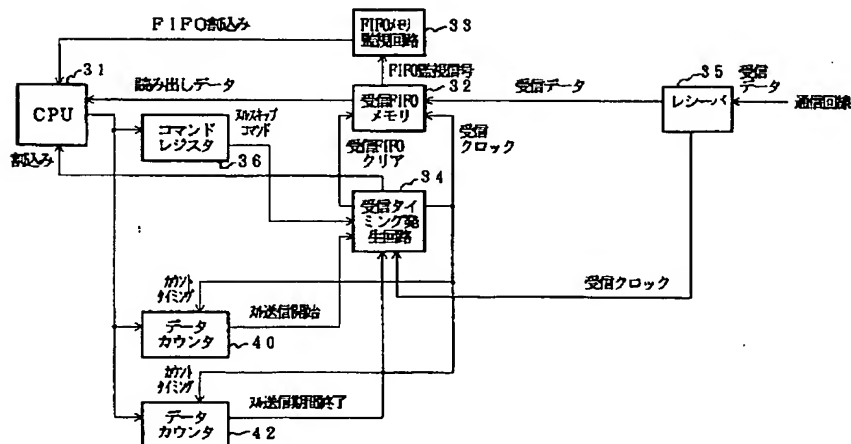
【図21】



【図22】



【図23】



[illegible][illegible]

(72)発明者 中尾 敦司
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.